

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002334588 A**(43) Date of publication of application: **22.11.02**

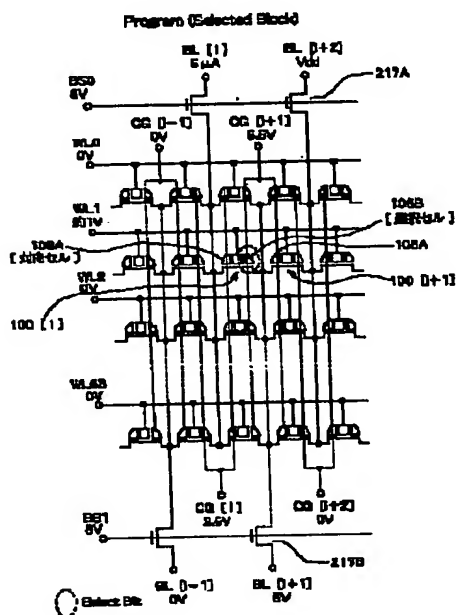
(51) Int. Cl.

G11C 16/02
G11C 16/04(21) Application number: **2001141616**(22) Date of filing: **11.05.01**(71) Applicant: **SEIKO EPSON CORP HALO LSI
DESIGN & DEVICE TECHNOL INC**(72) Inventor: **KANAI MASAHIRO
KAMEI TERUHIKO****(54) PROGRAMMING METHOD FOR NON-VOLATILE
SEMICONDUCTOR MEMORY****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a programming method for a program non-volatile semiconductor memory which can perform properly data program operation for a twin memory cell.

SOLUTION: This method is a method for programming data for a memory element 108B of a twin memory cell (i). A word line WL1 is set to word line selection voltage for program (1 V), a control gate CG [i+1] is set to control gate voltage for program (5.5 V), and a control gate CG [i] is set to override voltage (2.5 V). A bit line BL [i+1] is set to bit line voltage (5 V) for program, and a bit line BL [i] is connected to a constant current source 404.

COPYRIGHT: (C)2003,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-334588
(P2002-334588A)

(43) 公開日 平成14年11月22日 (2002. 11. 22)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
G 1 1 C 16/02 16/04		G 1 1 C 17/00	6 1 1 E 5 B 0 2 5 6 2 3 Z

審査請求 未請求 請求項の数 4 O L (全 18 頁)

(21) 出願番号 特願2001-141616 (P2001-141616)

(22) 出願日 平成13年 5 月 11 日 (2001. 5. 11)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿 2 丁目 4 番 1 号

(71) 出願人 598165507

ヘイロー エルエスアイ デザイン アン
ド デバイステクノロジー インコーポレ
イテッド

アメリカ合衆国 12590 ニューヨーク州、
ワッピンガーズ フォールズ、メイヤーズ
コーナース ロード169

(74) 代理人 100090479

弁理士 井上 一 (外 2 名)

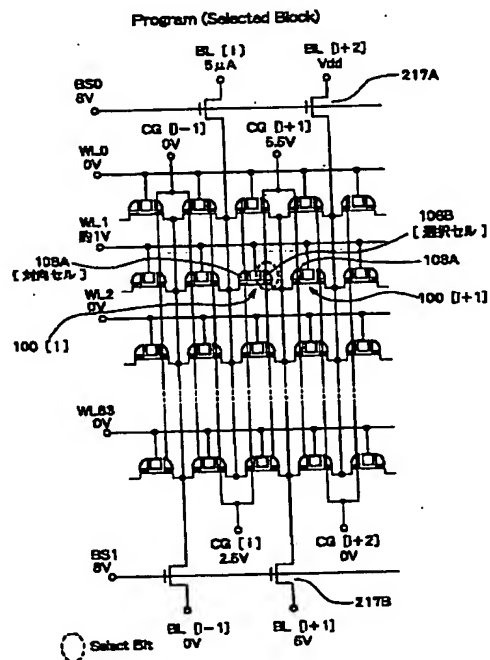
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置のプログラム方法

(57) 【要約】

【課題】 ツインメモリセルに対するデータプログラム動作を適切に実施することのできるプログラム不揮発性半導体装置のプログラム方法を提供すること。

【解決手段】 ツインメモリセル (i) のメモリ素子 108B に対してデータをプログラムする方法である。ワード線 WL1 をプログラム用ワード線選択電圧 (1 V) に設定し、コントロールゲート CG [i+1] をプログラム用コントロールゲート電圧 (5.5 V) に設定し、コントロールゲート CG [i] をオーバーライド電圧 (2.5 V) に設定し、ビット線 BL [i+1] にプログラム用ビット線電圧 (5 V) に設定し、ビット線 BL [i] を定電流源 404 に接続した。



【特許請求の範囲】

【請求項1】 1つのワードゲートと、第1、第2のコントロールゲートにより制御される第1、第2の不揮発性メモリ素子とを有するツインメモリセルが複数配列され、1本のワード線に前記ワードゲートが接続された隣接する3つのツインメモリセル ($i-1$)、(i)、($i+1$) のうち、前記ツインメモリセル (i) の前記第2の不揮発性メモリ素子に対してデータをプログラムする方法であって、
 前記ワード線をプログラム用ワード線選択電圧に設定し、
 前記ツインメモリセル (i) の前記第2のコントロールゲート及び前記ツインメモリセル ($i+1$) の前記第1のコントロールゲートをプログラム用コントロールゲート電圧に設定し、
 前記ツインメモリセル ($i-1$) の前記第2のコントロールゲート及び前記ツインメモリセル (i) の前記第1のコントロールゲートをオーバーライド電圧に設定し、
 前記ツインメモリセル (i) の前記第2の不揮発性メモリ素子及び前記ツインメモリセル ($i+1$) の前記第1の不揮発性メモリ素子に共通接続されるビット線をプログラム用ビット線電圧に設定し、
 前記ツインメモリセル ($i-1$) の前記第2の不揮発性メモリ素子及び前記ツインメモリセル (i) の前記第1の不揮発性メモリ素子に共通接続されるビット線を、定電流源に接続したことを特徴とする不揮発性半導体記憶装置のプログラム方法。
 【請求項2】 1つのワードゲートと、第1、第2のコントロールゲートにより制御される第1、第2の不揮発性メモリ素子とを有するツインメモリセルが複数配列され、1本のワード線に前記ワードゲートが接続された隣接する3つのツインメモリセル ($i-1$)、(i)、($i+1$) のうち、前記ツインメモリセル (i) の前記第1の不揮発性メモリ素子に対してデータをプログラムする方法であって、
 前記ワード線をプログラム用ワード線選択電圧に設定し、
 前記ツインメモリセル ($i-1$) の前記第2のコントロールゲート及び前記ツインメモリセル (i) の前記第1のコントロールゲートをプログラム用コントロールゲート電圧に設定し、
 前記ツインメモリセル (i) の前記第2のコントロールゲート及び前記ツインメモリセル ($i+1$) の前記第1のコントロールゲートをオーバーライド電圧に設定し、
 前記ツインメモリセル ($i-1$) の前記第2の不揮発性メモリ素子及び前記ツインメモリセル (i) の前記第1の不揮発性メモリ素子に共通接続されるビット線をプログラム用ビット線電圧に設定し、
 前記ツインメモリセル (i) の前記第2の不揮発性メモリ素子及び前記ツインメモリセル ($i+1$) の前記第1

の不揮発性メモリ素子に共通接続されるビット線を、定電流源に接続したことを特徴とする不揮発性半導体記憶装置のプログラム方法。

【請求項3】 請求項1または2において、
 前記プログラム用ワード線選択電圧は、プログラムされる前記不揮発性メモリ素子を含む前記ツインメモリセルのソース・ドレイン間に、前記定電流源にて流れる電流以上の電流を流せる程度に高い電圧に設定されることを特徴とする不揮発性半導体記憶装置のプログラム方法。

【請求項4】 請求項1乃至3のいずれかにおいて、
 前記第1、第2の不揮発性メモリ素子の各々は、酸化膜(O)、窒化膜(N)及び酸化膜(O)からなるONO膜を電荷のトラップサイトとして有し、前記トラップサイトにデータをプログラムすることを特徴とする不揮発性半導体記憶装置のプログラム方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、1つのワードゲートと、2つのコントロールゲートにより制御される2つの不揮発性メモリ素子を備えたツインメモリセルにて構成される不揮発性半導体記憶装置のプログラム方法に関する。

【0002】

【背景技術】不揮発性半導体装置として、チャネルとゲートとの間のゲート絶縁層が、酸化シリコン膜、窒化シリコン膜及び酸化シリコン膜の積層体からなり、窒化シリコン膜に電荷がトラップされるMONOS (Metal-Oxide-Nitride-Oxide -Semiconductorまたは-substrate)型が知られている。

【0003】このMONOS型不揮発性半導体記憶装置は、文献(Y.Hayashi, et al, 2000 Symposium on VLSI Technology Digest of Technical Papers p.122-p.123)に開示されている。この文献には、1つのワードゲートと、2つのコントロールゲートにより制御される2つの不揮発性メモリ素子(MONOSメモリ素子)を備えたツインMONOSフラッシュメモリセルが開示されている。すなわち、1つのフラッシュメモリセルが、電荷のトラップサイトを2つ有している。

【0004】このような構造を有する複数のツインMONOSフラッシュメモリセルを行方向及び列方向にそれぞれ複数配列させて、メモリセルアレイ領域が構成される。

【0005】

【発明が解決しようとする課題】このツインMONOSフラッシュメモリセルを駆動するには、2本のビット線と、1本のワード線と、2本のコントロールゲート線とを要する。ただし、多数のツインメモリセルを駆動するに際して、異なるコントロールゲートであっても同じ電位に設定する場合には、これらの線を共通接続することができる。

【0006】この種のフラッシュメモリの動作には、データの消去、プログラム及び読み出しがある。データのプログラム及び読み出しは、通常、8ビットまたは16ビットの選択セルにて同時に実施される。

【0007】ここで、MONOSフラッシュメモリでは、1本のワード線に、互いに素子分離されていない複数のツインMONOSフラッシュメモリセルが接続される。そして、ある特定の選択セル（選択された不揮発性メモリ素子）にデータをプログラムするには、その選択セルを有するツインMONOSフラッシュメモリの電圧設定だけでなく、それと隣接するツインMONOSフラッシュメモリセルを適切に電圧設定しなければならない。

【0008】本発明は、選択セルに対してデータをプログラムする際に、その選択セルを含むツインメモリセル及びそれと隣接するツインメモリセルへの電圧を適切に設定して、選択セルへのデータプログラムを確実に実施することができる不揮発性半導体記憶装置のプログラム方法を提供することにある。

【0009】

【課題を解決するための手段】本発明の一態様は、1つのワードゲートと、第1、第2のコントロールゲートにより制御される第1、第2の不揮発性メモリ素子とを有するツインメモリセルが複数配列され、1本のワード線に前記ワードゲートが接続された隣接する3つのツインメモリセル（ $i-1$ ）、（ i ）、（ $i+1$ ）のうち、前記ツインメモリセル（ i ）の前記第2の不揮発性メモリ素子に対してデータをプログラムする方法であって、前記ワード線をプログラム用ワード線選択電圧に設定し、前記ツインメモリセル（ i ）の前記第2のコントロールゲート及び前記ツインメモリセル（ $i+1$ ）の前記第1のコントロールゲートをプログラム用コントロールゲート電圧に設定し、前記ツインメモリセル（ $i-1$ ）の前記第2のコントロールゲート及び前記ツインメモリセル（ i ）の前記第1のコントロールゲートをオーバーライド電圧に設定し、前記ツインメモリセル（ i ）の前記第2の不揮発性メモリ素子及び前記ツインメモリセル（ $i+1$ ）の前記第1の不揮発性メモリ素子に共通接続されるビット線をプログラム用ビット線電圧に設定し、前記ツインメモリセル（ $i-1$ ）の前記第2の不揮発性メモリ素子及び前記ツインメモリセル（ i ）の前記第1の不揮発性メモリ素子に共通接続されるビット線を、定電流源に接続したことを特徴とする。

【0010】本発明の他の態様は、1つのワードゲートと、第1、第2のコントロールゲートにより制御される第1、第2の不揮発性メモリ素子とを有するツインメモリセルが複数配列され、1本のワード線に前記ワードゲートが接続された隣接する3つのツインメモリセル（ $i-1$ ）、（ i ）、（ $i+1$ ）のうち、前記ツインメモリセル（ i ）の前記第1の不揮発性メモリ素子に対してデ

ータをプログラムする方法であって、前記ワード線をプログラム用ワード線選択電圧に設定し、前記ツインメモリセル（ $i-1$ ）の前記第2のコントロールゲート及び前記ツインメモリセル（ i ）の前記第1のコントロールゲートをプログラム用コントロールゲート電圧に設定し、前記ツインメモリセル（ i ）の前記第2のコントロールゲート及び前記ツインメモリセル（ $i+1$ ）の前記第1のコントロールゲートをオーバーライド電圧に設定し、前記ツインメモリセル（ $i-1$ ）の前記第2の不揮発性メモリ素子及び前記ツインメモリセル（ i ）の前記第1の不揮発性メモリ素子に共通接続されるビット線をプログラム用ビット線電圧に設定し、前記ツインメモリセル（ i ）の前記第2の不揮発性メモリ素子及び前記ツインメモリセル（ $i+1$ ）の前記第1の不揮発性メモリ素子に共通接続されるビット線を、定電流源に接続したことを特徴とする。

【0011】本発明のいずれの態様においても、プログラム時にビット線に流れ込む電流を定電流源により制限することで、そのビット線の電圧を適切に設定して、プログラム動作を確実に実施することができる。

【0012】ここで、プログラム用ワード線選択電圧は、選択されたツインメモリセルのソース・ドレイン間（ビット線間）に、前記定電流源にて流れる電流以上の電流を流せる程度に高い電圧に設定することが好ましい。このようにしても、プログラム時にビット線に流れ込む電流は、定電流源により一定に制限することができるので、そのビット線の電圧を適切に設定して、プログラム動作を確実に実施することができる。

【0013】第1、第2の不揮発性メモリ素子の各々は、酸化膜（O）、窒化膜（N）及び酸化膜（O）からなるONO膜を電荷のトラップサイトとして有することができるが、これに限らず他の構造を採用することができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0015】（ツインメモリセル構造）図1は不揮発性半導体記憶装置の一断面を示している。図1において、1つのツインメモリセル100は、P型ウェル102上にゲート酸化膜を介して例えばポリシリコンを含む材料から形成されるワードゲート104と、第1、第2のコントロールゲート106A、106Bと、第1、第2のメモリ素子（MONOSメモリ素子）108A、108Bとを有する。

【0016】第1、第2のコントロールゲート106A、106Bは、ワードゲート104の両側壁に形成され、ワードゲート104とはそれぞれ電氣的に絶縁されている。

【0017】第1、第2のメモリ素子108A、108Bの各々は、MONOSのM（金属）に相当するポリシ

リコンにて形成される第1、第2のコントロールゲート106A、106Bの一つと、P型ウェル102との間に、酸化膜(O)、窒化膜(N)及び酸化膜(O)を積層することで構成される。なお、第1、第2のコントロールゲート106A、106Bは、シリサイドなどの導電材で構成することもできる。

【0018】このように、1つのツインメモリセル100は、スプリットゲート(第1、第2のコントロールゲート106A、106B)を備えた第1、第2のMONOSメモリ素子108A、108Bを有し、第1、第2のMONOSメモリ素子108A、108Bにて一つのワードゲート104を共用している。

【0019】この第1、第2のMONOSメモリ素子108A、108Bは、それぞれ電荷のトラップサイトとして機能する。第1、第2のMONOSメモリ素子108A、108Bの各々は、ONO膜109にて電荷をトラップすることが可能である。

【0020】図1に示すように、行方向(図1の第2の方向B)に間隔をおいて配列された複数のワードゲート104は、ポリサイドなどで形成される1本のワード線WLに共通接続されている。

【0021】また、図1に示すコントロールゲート106A、106Bは、列方向(図1の紙面に垂直な第1の方向A)に沿って延び、列方向に配列される複数のツインメモリセル100にて共用される。よって、符号106A、106Bをコントロールゲート線とも称する。

【0022】ここで、[i]番目のツインメモリセル100[i]のコントロールゲート線106Bと、[i+1]番目のツインメモリセル100[i+1]のコントロールゲート線106Aとは、例えばワードゲート、コントロールゲート、ワード線よりも上層の金属層で形成されるサブコントロールゲート線SCG[i+1]が接続されている。

【0023】P型ウェル102には、[i]番目のツインメモリセル100[i]のMONOSメモリ素子108Bと、[i+1]番目のツインメモリセル100[i+1]のMONOSメモリ素子108Aとに共用される[i+1]番目の不純物層110[i+1]が設けられている。

【0024】これらの不純物層110[i]、[i+1]、[i+2]は例えばP型ウェル内に形成されるn型不純物層で、列方向(図1の紙面に垂直な第1の方向A方向)に沿って延び、列方向に配列される複数のツインメモリセル100にて共用されるビット線として機能する。よって、符号110[i]、[i+1]、[i+2]などをビット線BL[i]、[i+1]、[i+2]とも称する。

【0025】(不揮発性半導体記憶装置の全体構成)上述のツインメモリセル100を用いて構成される不揮発性半導体記憶装置の全体構成について、図2(A)~図

2(E)を参照して説明する。

【0026】図2(A)は1チップの不揮発性半導体記憶装置の平面レイアウト図であり、メモリセルアレイ領域200とグローバルワード線デコーダ201とを有する。メモリセルアレイ領域200は、例えば計64個の第0~第63のセクタ領域210を有する。

【0027】64個のセクタ領域210は、図2(A)に示すようにメモリセルアレイ領域200を第2の方向(行方向)Bでそれぞれ分割したもので、各セクタ領域210は第1の方向(列方向)Aを長手方向とする縦長形状を有する。データ消去の最小単位がセクタ領域210であり、セクタ領域210内の記憶データは一括してまたは時分割で消去される。

【0028】メモリアレイ領域200は、例えば4K本のワード線WLと、4K本のビット線BLとを有する。ここで、本実施の形態では1本のビット線BLに2つのMONOSメモリ素子108A、108Bが接続されるため、4K本のビット線BLは8Kbitの記憶容量を意味する。各セクタ領域210の記憶容量はメモリ全体の記憶容量の1/64であり、(4K本のワード線WL)×(64本のビット線BL)×2で定義される記憶容量を有する。

【0029】図2(B)は、図2(A)に示す不揮発性半導体記憶装置の隣り合う2つの第0及び第1のセクタ領域210の詳細を示している。図2(B)に示すように、2つのセクタ210の両側に、ローカルドライバ(ローカルコントロールゲートドライバ、ローカルビット線選択ドライバ及びローカルワード線ドライバを含む)220A、220Bが配置されている。また、2つのセクタ210と2つのローカルドライバ220A、220Bの例えば上辺には、セクタ制御回路222が配置されている。

【0030】各セクタ領域210は第2の方向にて分割され、16ビットのデータをリード・ライト可能に1/00~1/015用の16個のメモリブロック(入出力ビットに対応したメモリブロック)214を有している。各メモリブロック214は、図2(B)に示すように、4K(4096)本のワード線WLを有する。

【0031】図2(C)に示すように、図2(B)に示す一つのメモリブロック214は、第1の方向Aにて8個のラージブロック212に分割されている。この各ラージブロック212は、図2(D)に示すように、第1の方向Aにて8個のスモールブロック215に分割されている。

【0032】各スモールブロック215は、図2(E)に示すように、64本のワード線WLを有する。

【0033】(セクタ領域の詳細)図3は、図2(A)に示すセクタ領域0の詳細を示している。図3に示すスモールメモリブロック216は、図4に示すように、ツインメモリセル100を列方向に例えば64個、行方向

7
に例えば4個配列したものである。一つのスモールメモリブロック216には、例えば4本のサブコントロールゲート線SCG0~SCG3と、データの入出力線である4本のビット線BL0~BL3と、64本のワード線WLとが接続されている。

【0034】ここで、偶数のサブコントロールゲート線SCG0、SCG2には、偶数列（第0列または第2列）の複数のツインメモリセルの各々の第2のコントロールゲート106Bと奇数列（第1列または第3列）の複数のツインメモリセルの各々の第1のコントロールゲート106Aとが共通接続されている。同様に、奇数のサブコントロールゲート線SCG1、SCG3には、奇数列（第1列または第3列）の複数のツインメモリセルの各々の第2のコントロールゲート106Bと偶数列（第2列または第4列）の複数のツインメモリセルの各々の第1のコントロールゲート106Aとが共通接続されている。

【0035】図3に示すように、一つのメモリブロック214内にはスモールメモリブロック216が列方向に64個配列され、16ビットの入出力を行うために、16個のI/O0~I/O15に対応した16個のメモリブロック214が行方向に配列されている。

【0036】行方向に配列された16個のスモールメモリブロック216の16本のサブコントロールゲート線SCG0が、行方向にメインコントロールゲート線MCG0に共通接続されている。同様に、16本のサブコントロールゲート線SCG1はメインコントロールゲート線MCG1に、16本のサブコントロールゲート線SCG2はメインコントロールゲート線MCG2に、16本のサブコントロールゲート線SCG3はメインコントロールゲート線MCG3にそれぞれ共通接続されている。

【0037】このセクタ領域0のコントロールゲート駆動部であるCGドライバ300-0~300-63が設けられている。このCGドライバ300には、行方向に延びる上述の4本のメインコントロールゲート線MCG0~MCG3が接続されている。

【0038】図5は、相隣り合うセクタ領域0とセクタ領域1との関係を示している。セクタ領域0とセクタ領域1とはワード線WLが共用されるが、メインコントロールゲート線MCG及びメインビット線MBLはそれぞれ独立して設けられている。特に図5では、セクタ領域0に対応するCGドライバ300-0、300-1と、セクタ領域1に対応するCGドライバ301-0、301-1とが示され、CGドライバはセクタ領域毎に独立して設けられている。

【0039】スモールメモリブロック216毎に配置された各ビット線BL0（不純物層）は、金属配線であるメインビット線MBLに共通接続されている。このメインビット線MBLは、列方向に配列されたスモールメモリブロック間で共有されている。このメインビット線M

BLからスモールメモリブロック内の各ビット線BL0に至る各経路途中には、ビット線選択ゲート217Aが配置されている。なお、偶数本目のビット線BL0、BL2、BL4...には上述のビット線選択ゲート217Aがそれぞれ接続されるのに対して、奇数本目のビット線BL1、BL3、BL5...には、図5では省略されているが、ビット線選択ゲート217Bが接続される（図10、図15を参照のこと）。

【0040】隣り合う2つの第0、第1のセクタ領域210内の2つのスモールブロック215及びその両側のローカルドライバ220A、220Bの詳細を図6に示す。図6に示すように、左側のローカルドライバ220Aには、図3及び図5に示すCGドライバ300に相当する4つのローカルコントロールゲート線ドライバCGDRV0~CGDRV3が配置されている。同様に、右側のローカルドライバ220Bには、図5に示すCGドライバ301に相当する4つのローカルコントロールゲート線ドライバCGDRV0~CGDRV3が配置されている。

【0041】また、左側のローカルドライバ220Aには、セクタ0、1内の偶数番目のワード線WL0、2、...62を駆動するローカルワード線ドライバWLDRV0、WLDRV2、...WLDRV62と、セクタ0内の1本の冗長ワード線を駆動するWLDRV0が配置されている。右側のローカルドライバ220Bには、セクタ0、1内の奇数番目のワード線WL1、3、...63を駆動するローカルワード線ドライバWLDRV1、WLDRV3、...WLDRV63と、セクタ1の1本の冗長ワード線を駆動するWLDRV1が配置されている。

【0042】さらに、左側のローカルドライバ220Aには、セクタ0、1の例えば偶数番目のビット線BL0、BL2に接続されたビット線選択ゲート217Aを駆動するローカルビット線ドライバBSRV0が配置されている。右側のローカルドライバ220Bには、セクタ0、1の例えば奇数番目のビット線BL1、BL3に接続されたビット線選択ゲート217Bを駆動するローカルビット線ドライバBSRV1が配置されている。

【0043】（動作説明）ここで、本実施形態の不揮発性半導体記憶装置でのデータ読み出し、データプログラム及びデータ消去動作について説明する。

【0044】以下の説明において、選択ブロック（Selected Block）、非選択の対向ブロック（Opposite Block）及び非選択ブロック（Unselected Block）なる用語を用いる。これらはスモールブロック215の呼び名の種類である。選択ブロックとは、図7に示すように、例えば一対のセクタ0、1を例に挙げれば、例えばセクタ0内にて選択された一つのスモールブロック215を意味する。非選択の対向ブロックとは、セクタ0と隣接するセクタ1内のスモールブロック215であって、選択ブロックと隣接するスモールブロック215を意味す

る。非選択ブロックとは、セクタ0、1内の選択ブロック及び対向ブロック以外の全てのスモールブロック215を意味する（セクタ2～63も含む）。

【0045】また、リード時またはプログラム時の選択ブロック内には、選択セル（Selected Cell：選択されたツインメモリセル100）と非選択セル（Unselected Cell：選択されなかったツインメモリセル100）とがある。さらに、選択セルには、選択サイド（Selected Side）のメモリ素子108Aまたは108Bと、対向 *

*サイド（Opposite side）のメモリ素子108Bまたは108Aとがある。

【0046】以上のような定義の下で、リード時、プログラム時及び消去（イレース）時のコントロールゲート線CG、ビット線BL及びワード線WLの各電位を、下記の表1及び表2に示す。

【0047】

【表1】

Mode	BS	Selected Block					Unselected Block		
		Selected Twin MONOS Cell					Unselected Twin MONOS Cell		
		WL	Selected Cell		Opposited Cell		WL	BL	CG
Read	4.5V (Opp.Side) Vdd (Sel.Side)	Vdd	0V	1.5V±0.1V	sense	3V	Vdd or 0V	sense or 0V	3V or 1.5V±0.1V or 0V
Program	8V	約1V	5V	5.5V	lprg=5uA (0 to 1V)	2.5V	約1V or 0V	5V or Vdd or (0 to 1V)	5.5V or 2.5V or 0V
Erase	8V	0V	4.5 to 5V	-1 to -3V	4.5 to 5V	-1 to -3V			

【0048】

※ ※ 【表2】

Mode	Opposite Block				Unselected Block			
	BS	WL	BL	CG	BS	WL	BL	CG
Read	4.5V (Opp.Side) Vdd (Sel.Side)	Vdd or 0V	0V	0V	0V	0V	F	0V
Program	8V	約1V or 0V	0V	0V	0V	0V	F	0V
Erase	8V	0V	0V	0V	0V	0V	F	0V

【0049】以下、表1及び表2に基づいて、各モードの動作について説明する。

【0050】（メモリセルからのデータ読み出し）一つのツインメモリセル100は、図8に示すように、ワードゲート104により駆動されるトランジスタT2と、第1、第2のコントロールゲート106A、106Bによりそれぞれ駆動されるトランジスタT1、T3とを直列に接続したものと模式化することができる。

【0051】ツインメモリセル100の動作を説明するに際して、図9に示すように、例えばセクタ0中のある選択ブロック（選択されたスモールブロック215）内に隣接する3つのツインメモリセル100[i-1]、[i]、[i+1]、[i+2]の各所の電位の設定についてまず説明する。図9は、ワード線WL1に接続されたツインメモリセル100[i]のワードゲート104の右側のMONOSメモリ素子108B（選択セル）からのデータをリバースモードで読み出す場合について説明する図であり、図10はその時の選択ブロッ

クでの電圧設定を示している。

【0052】この場合、ツインメモリセル100[i]と同じ行にあるワードゲートWL1に読み出し用ワード線選択電圧としてVdd（例えば1.8V）を印加して、その行の各トランジスタT2をオンさせる。また、ツインメモリセル100[i]の左側（対向セル）のコントロールゲート106Aに、サブコントロールゲート線SCG[i]を介してオーバライド電圧（例えば3V）を印加して、MONOSメモリ素子108Aに相当するトランジスタT1をオンさせる。ツインメモリセル100[i]の右側のコントロールゲート106Bの電圧VCGとして、読み出し電圧Vread（例えば1.5V）を印加する。

【0053】このとき、ワードゲート104の右側のMONOSメモリ素子108B（選択セル）に電荷が蓄積されていたか否かで、MONOSメモリ素子108Bに相当するトランジスタT3の動作は以下のように分かれる。

【0054】図11は、ツインメモリセル100[i]の右側（選択セル側）のコントロールゲート106Bへの印加電圧と、それによって制御されるMONOSメモリ素子108B（選択セル）に相当するトランジスタT3のソースドレイン間に流れる電流 I_{ds} との関係を示している。

【0055】図11に示すように、MONOSメモリ素子108B（選択セル）に電荷が蓄積されていない場合には、コントロールゲート電圧 V_{CG} が低いしきい値電圧 V_{low} を超えると電流 I_{ds} が流れ始める。これに対して、MONOSメモリ素子108B（選択セル）に電荷が蓄積されている場合には、選択サイドのコントロールゲート電位 V_{CG} が高いしきい値電圧 V_{high} を超えない限り電流 I_{ds} が流れ始めない。

【0056】ここで、データ読み出し時に選択サイドのコントロールゲート106Bに印加される電圧 V_{read} は、2つのしきい値電圧 V_{low} 、 V_{high} のほぼ中間電圧に設定されている。

【0057】従って、MONOSメモリ素子108B（選択セル）に電荷が蓄積されていない場合には電流 I_{ds} が流れ、MONOSメモリ素子108B（選択セル）に電荷が蓄積されている場合には電流 I_{ds} が流れないことになる。

【0058】ここで、図10に示すように、データ読み出し時には対向セルに接続されたビット線BL[i]（不純物層110[i]）をセンスアンプに接続し、他のビット線BL[i-1]、[i+1]、[i+2]の電位 V_D [i-1]、[i+1]、[i+2]を0Vにそれぞれ設定しておく。こうすると、MONOSメモリ素子108B（選択セル）に電荷が蓄積されていない場合には電流 I_{ds} が流れるため、オン状態のトランジスタT1、T2を介して、対向サイドのビット線BL

[i]に例えば25 μ A以上の電流が流れる。これに対し、MONOSメモリ素子108B（選択セル）に電荷が蓄積されている場合には電流 I_{ds} が流れないため、トランジスタT1、T2がオン状態であっても、対向セルに接続されたビット線BL[i]に流れる電流は例えば10nA未満となる。よって、対向サイドのビット線BL[i]に流れる電流をセンスアンプにて検出することで、ツインメモリセル100[i]のMONOSメモリ素子108B（選択セル）からのデータ読み出しが可能となる。

【0059】なお本実施の形態では、図10に示すように、ビット線BL[i]、[i+2]にはビット線選択トランジスタ（n型MOSトランジスタ）217Aが、ビット線BL[i-1]、[i+1]にはビット線選択トランジスタ217Bが接続されている。

【0060】これらの選択トランジスタ217A、217Bはサイズの関係で電流駆動能力を高く確保することは困難であり、本実施の形態では例えばチャネル幅 $W=$

0.9 μ m、チャネル長 $L=0.8\mu$ mとなっている。

【0061】センスアンプに接続されるビット線BL[i]には上述の電流を確保する必要上、ビット線選択トランジスタ217Aのゲート電圧を図示しない昇圧回路を介して供給して、例えば4.5Vの電圧を供給している。

【0062】一方、図10の選択サイドのMONOSメモリ素子108Aのソース側の電圧は0Vに近い電圧（数十～百mV程度）となる。このため、ビット線選択トランジスタ217Bのバックゲートの影響は少ないので、そのゲート電圧を V_{dd} に設定している。このゲートには4.5Vを供給しなくてもよいので、上述の昇圧回路（チャージポンプ）の負荷を少なくできる。

【0063】なお、選択ブロック内の非選択セルについては、表1の通りの電圧設定となる。

【0064】次に、セクタ0内の選択ブロックと対向するセクタ1内の対向ブロック（スモールブロック215）では、上述の表2の通りの電圧設定となり、その様子を図12に示す。図12において、各ワード線WLの電圧、ビット線選択トランジスタのゲート電圧は、セクタ0、1で共用されるため、図10に示す選択ブロック内と同じ設定となる。ビット線は全て0Vに設定される。

【0065】選択ブロック及び対向ブロック以外であって、セクタ0～63に存在する非選択ブロック（スモールブロック215）では、上述の表2の通りの電圧設定となり、その様子を図13に示す。

【0066】この非選択ブロックでは、ビット線選択トランジスタ217A、217Bのゲート電圧、ワード線WL、コントロールゲート線CGのいずれもが0Vに設定される。ビット線選択トランジスタ217A、217Bがオフしているので、ビット線BLはフローティング状態となる。

【0067】（メモリセルのプログラミング）図14は、ワード線WL1に接続されたツインメモリセル100[i]のワードゲード104の右側のMONOSメモリ素子108B（選択セル）のデータプログラミングについて説明する図であり、図15は選択ブロック内の電圧設定の様子を示している。このデータプログラミング動作の前には、後述するデータ消去動作が実施されている。

【0068】図14では、図9と同じく、サブコントロールゲート線SCG[i]の電位はオーバーライド電位（例えば2.5V）とされ、サブコントロールゲート線SCG[i-1]、[i+2]の電位は0Vとされている。ここで、オーバーライド電位とは、ツインメモリセル100[i]の左側のMONOSメモリ素子108A（選択側の素子とは反対側の素子）のプログラムの有無に拘わらず、MONOSメモリ素子108Aに相当するトランジスタT1をオンさせてプログラム電流を流すた

めに必要な電位である。また、図15の各ワードゲート104の電位は、ワード線WL1により、電源電圧V_{dd}より低い例えば1.0V程度のプログラム用ワード線選択電圧に設定される。また、ツインメモリセル100[i+1]の右側のコントロールゲート108B(選択セル)の電位は、サブコントロールゲート線SCG[i+1]を介して、プログラム用コントロールゲート電圧である図4に示す書き込み電圧V_{write}(例えば5.5V)に設定される。

【0069】次に、ビット線BLの電圧設定について、図16を参照して説明する。図16は、ビット線BLに接続されるYバス回路400の内部を概略的に示している。

【0070】このYバス回路400内には、ビット線BLをセンスアンプまたはビット線ドライバに接続するための第1のトランジスタ401と、それ以外の経路に接続するための第2のトランジスタ402とが設けられる。第1、第2のトランジスタ401、402のゲートには相反する信号YS0、/YS0が入力される。

【0071】第2のトランジスタ402のソースには、スイッチ403を介して電源電圧V_{dd}(1.8V)と、例えば5μAの定電流を流す定電流源404が設けられている。

【0072】プログラム時には、図14及び図15のビット線BL[i+1]の電圧V_D[i+1]は、図16の第1のトランジスタ401を介してビット線ドライバに接続されて、プログラム用ビット線電圧である例えば5Vに設定される。

【0073】また、ビット線BL[i+2]は、図16の第2のトランジスタ402及びスイッチ403を介してV_{dd}に設定される。

【0074】ビット線BL[i-1]、[i]は共に、図16の第2のトランジスタ402及びスイッチ403を介して定電流源404に接続される。ただし、ビット線BL[i-1]に接続されたMONOSセルは、そのコントロールゲート線CG[i-1]が0Vのためオフしており、電流が流れないため定電流源404を介して0Vに設定される。

【0075】こうすると、ツインメモリセル100[i]のトランジスタT1、T2がそれぞれオンして、ビット線BL[i]に向けて電流I_{ds}が流れる一方で、MONOSメモリ素子108BのONO膜109にはチャンネルホットエレクトロン(CHE)がトラップされる。こうして、MONOSメモリ素子108Bのプログラミング動作が実施されて、データの「0」または「1」が書き込まれる。

【0076】ここで、プログラム用ワード線選択電圧を約1Vでなく0.77V程度に設定し、ビット線BL[i]を0Vとする方法もある。本実施の形態では、プログラム用ワード線選択電圧を約1Vと上げてソース・

ドレイン間電流を増やしながらかも、プログラム時にビット線BL[i]に流れ込む電流を、定電流源404にて制限しているため、ビット線BL[i]の電圧を最適に(0~1Vの範囲で本実施形態では0.7V程度)に設定でき、プログラム動作を最適に実施できるようにしている。

【0077】上述の動作上、非選択のツインメモリセル100[i+1]の右側の不揮発性メモリ素子108Aのコントロールゲートにも5.5Vが印加される。このとき、ツインメモリセル100[i+1]の右側のコントロールゲートCG[i+2]を0Vとしているので、本来ツインメモリセル100[i+1]のソース・ドレイン間(ビット線間)には電流が流れない。しかし、ビット線BL[i+1]には5Vが印加されるので、ツインメモリセル100[i+1]のソース・ドレイン間(ビット線間)に高電界がかかると、パンチスルー電流が流れて、ライトディスタ urbが生じてしまう。そこで、ビット線BL[i+2]の電圧を0Vでなく、例えばV_{dd}とし、ソース・ドレイン間の電位差を小さくして、ライトディスタ urbを防止している。また、ビット線BL[i+2]の電圧を0Vを超える電圧、好ましくはプログラム時のワード線選択電圧と同等以上とすることで、メモリセル[i+1]のトランジスタT2をオンしにくくなるため、それによってもディスタ urbを防止することができる。

【0078】また、ビット線BL[i+1]に5Vを供給する必要があるため、ビット線選択トランジスタ217Bのゲートには、8Vを印加している。一方、ビット線選択トランジスタ217Aのゲートにも同じく8Vを印加した。ビット線BL[i+2]に上述した理由でV_{dd}に設定する必要上、トランジスタ217AのゲートにもV_{dd}より高い電圧を印加する必要があるため、トランジスタ217Bのゲート電圧と同じ8Vを使用した。なお、ビット線選択トランジスタ217Aのゲート電圧は、V_{dd}+V_{th}より高ければよい。

【0079】なお、選択ブロック内の非選択セルについては、表1の通りの電圧設定となる。

【0080】次に、セクタ0内の選択ブロックと対向するセクタ1内の対向ブロック(スモールブロック215)では、上述の表2の通りの電圧設定となり、その様子を図17に示す。図17において、各ワード線WLの電圧、ビット線選択トランジスタのゲート電圧は、セクタ0、1で共用されるため、図14に示す選択ブロック内と同じ設定となる。ビット線は全て0Vに設定される。

【0081】選択ブロック及び対向ブロック以外であって、セクタ0~63に存在する非選択ブロック(スモールブロック215)では、上述の表2の通りの電圧設定となり、その様子を図18に示す。

【0082】この非選択ブロックでは、ビット線選択ト

ランジスタ217A、217Bのゲート電圧、ワード線WL、コントロールゲート線CGのいずれもが0Vに設定される。ビット線選択トランジスタ217A、217Bがオフしているので、ビット線BLはフローティング状態となる。

【0083】ツインメモリセル100[i]の左側のMONOSメモリ素子108Aをプログラムするには、ツインメモリセル100[i-1]、[i]、[i+1]の各所の電位を、図19に示すように設定すればよい。

【0084】(メモリセルのデータ消去) 図20は、セクタ0内の全メモリセルを一括してデータ消去するための概略説明図であり、図21にそのセクタ0の一部のメモリセルに対する設定電圧の様子が図示されている。

【0085】図20では、各ワードゲート104の電位は、ワード線WLによって0Vに設定され、サブコントロールゲート線SCG[i-1]、[i]、[i+1]、[i+2]によって、コントロールゲート106A、106Bの電位は例えば-1〜-3V程度の消去用コントロールゲート線電圧に設定される。さらに、ビット線BL[i-1]、[i]、[i+1]、[i+2]の各電位は、ビット線選択トランジスタ217A、217B、ビット線ドライバにより例えば4、5〜5Vの消去用ビット線電圧に設定される。

【0086】こうすると、各MONOSメモリ素子108A、108BのONO膜109にトラップされていた電子は、コントロールゲートに印加された消去用コントロールゲート電圧と、ビット線に印加された消去用ビット線電圧とで形成される電界により、トンネル効果により抜かれて消去される。これにより、複数のツインメモリセルにて同時にデータ消去が可能となる。なお、消去動作としては、上述のものとは異なり、ビットとなる不純物層の表面のバンドバンドトンネリングによりホットホールを形成し、蓄えられていたエレクトロンを消去するものであっても良い。

【0087】また、セクタ内を一括してデータ消去するものに限らず、時分割でデータ消去しても良い。

【0088】次に、セクタ0内の選択ブロックと対向するセクタ1内の対向ブロック(スモールブロック215)では、上述の表2の通りの電圧設定となり、その様子を図22に示す。図22において、各ワード線WLの電圧、ビット線選択トランジスタのゲート電圧は、セクタ0、1で共用されるため、図18に示す選択ブロック内と同じ設定となる。ビット線は全て0Vに設定される。この対向ブロック内の各セルでは、コントロールゲート線CGとビット線BLとが共に0Vであるので、ディスタースが生ずることはない。

【0089】選択ブロック及び対向ブロック以外であって、セクタ0〜63に存在する非選択ブロック(スモールブロック215)では、上述の表2の通りの電圧設定となり、その様子を図23に示す。

【0090】この非選択ブロックでは、ビット線選択トランジスタ217A、217Bのゲート電圧、ワード線WL、コントロールゲート線CGのいずれもが0Vに設定される。ビット線選択トランジスタ217A、217Bがオフしているので、ビット線BLはフローティング状態となる。ただし、ビット線BLの電圧はほとんど0Vに近い電圧であるので、この非選択ブロック内のセルでもディスタースが生ずるとはならない。

【0091】なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0092】例えば、不揮発性メモリ素子108A、108Bの構造については、MONOS構造に限定されるものではない。1つのワードゲート104と第1、第2のコントロールゲート106A、106Bにより、2箇所に独立して電荷をトラップできる他の種々のツインメモリセルを用いた不揮発性半導体記憶装置に、本発明を適用することができる。

【0093】また、上述の実施形態では、セクタ領域の分割数、ラージブロック、スモールブロックの分割数及びスモールメモリブロック内のメモリセル数については一例であり、他の種々の変形実施が可能である。ちなみに、ラージブロックの分割数を8としたのはメタル配線ピッチの制約から決められた。もしメタル配線ピッチを狭く出来れば、分割数をさらに増やすことができる。例えば16分割にすれば、1本のコントロールゲート線の負荷容量(ゲート容量)はさらに減るので、より高速駆動が可能となる。ただし、16分割とするとメインコントロールゲート線の数が増えるので、ライン&スペースを狭くするか、面積を増大させるしかない。また、コントロールゲートドライバの数も増えるので、その分面積が増大する。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る不揮発性半導体記憶装置に用いられるメモリセルの断面図である。

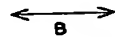
【図2】図2(A)は図1に示す不揮発性半導体記憶装置全体の平面レイアウト図、図2(B)は図2(A)中の2つのセクタ領域の平面図、図2(C)は図2(B)中の一つのメモリブロックの平面図、図2(D)は図2(C)中の一つのラージブロックの平面図、図2(E)は図2(D)中の一つのスモールブロックの平面図である。

【図3】図2(B)に示す一つのセクタ領域の多数のスモールメモリブロックとその配線とを説明するための概略説明図である。

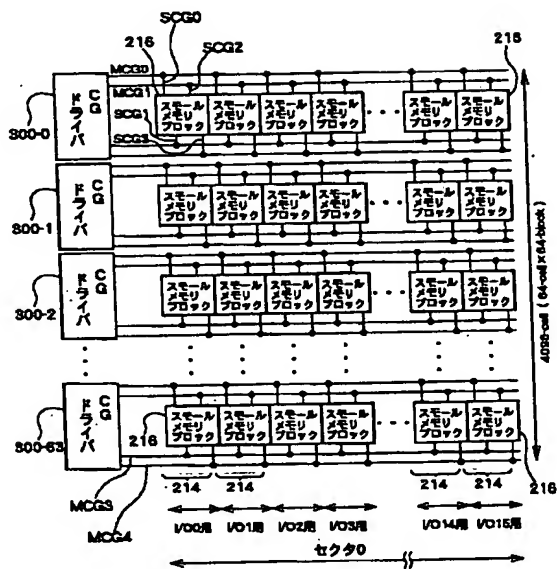
【図4】図3に示すスモールメモリブロックの回路図である。

【図5】図3に示すスモールメモリブロックとコントロールゲートドライバとの関係を示す回路図である。

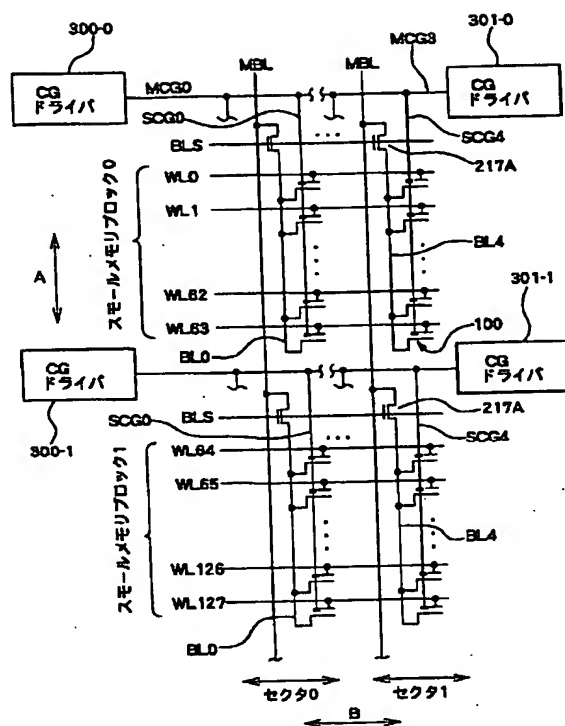
【図6】隣接する2セクタ中の2つのメモリブロックと



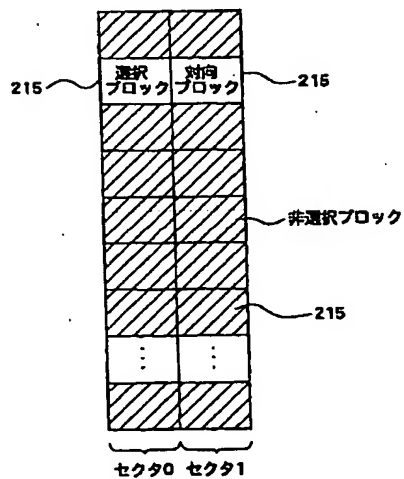
【図3】



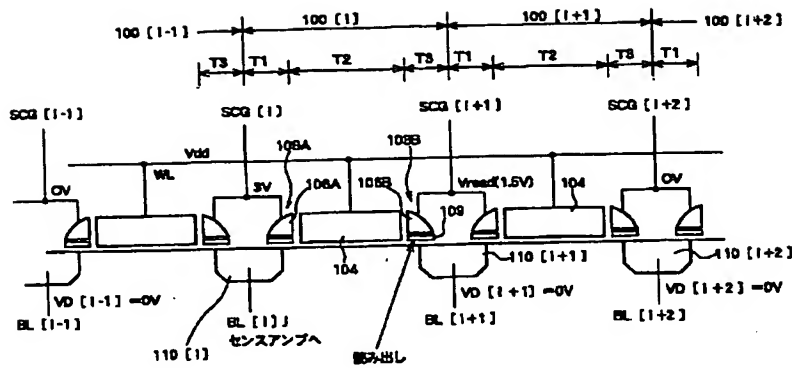
【圖 5】



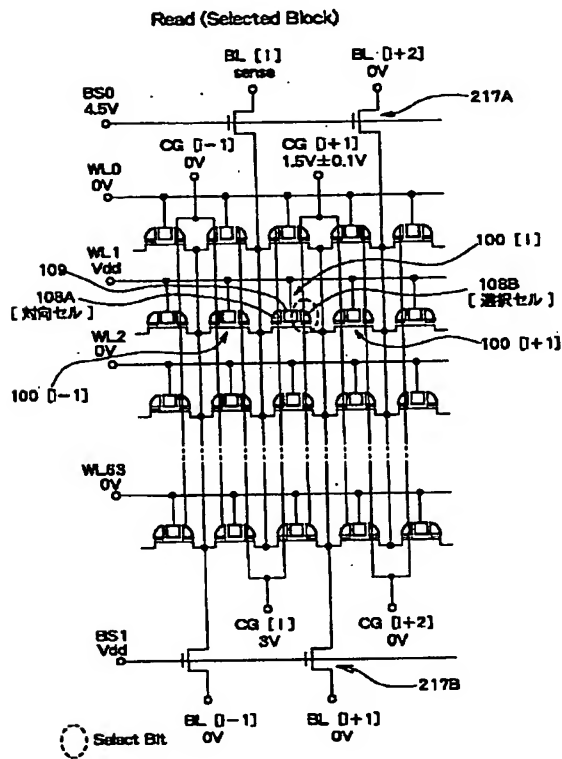
【圖 7】



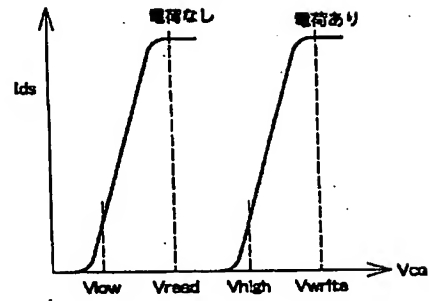
【図9】



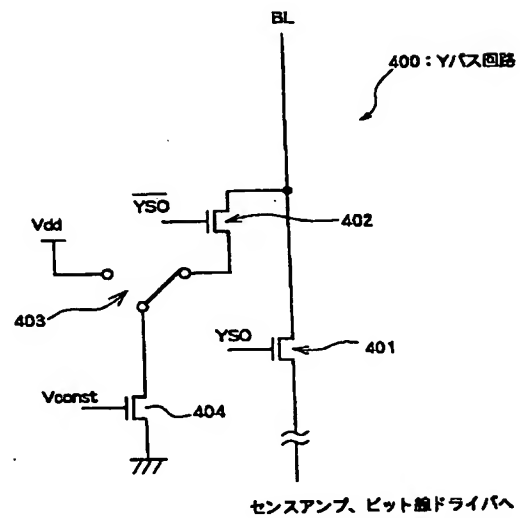
【図10】



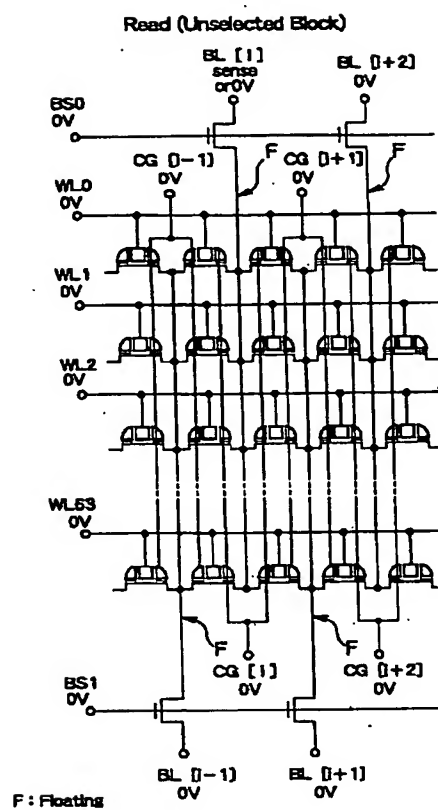
【図11】



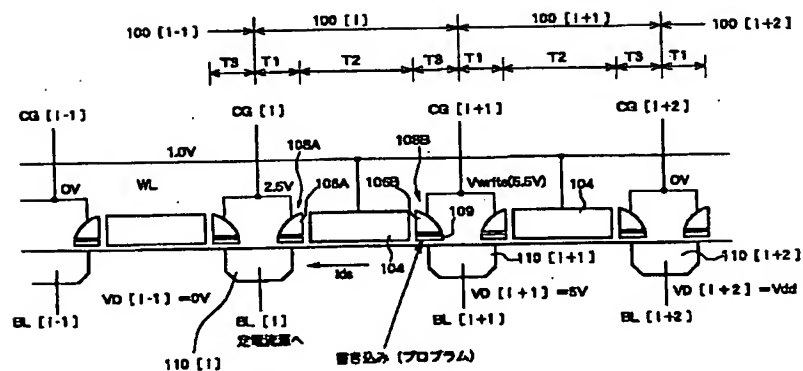
【図16】



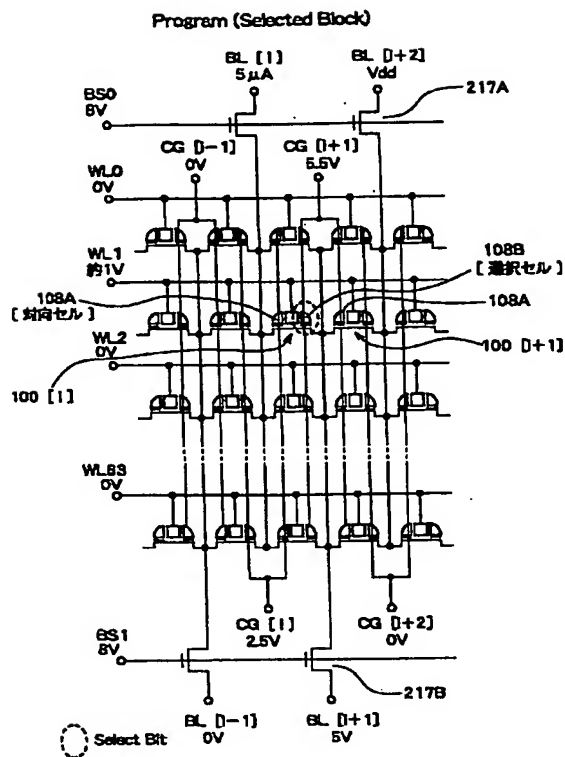
【圖 13】



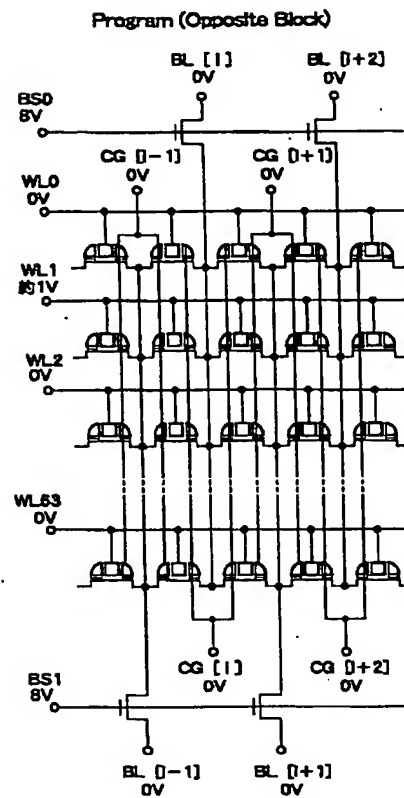
【圖 14】



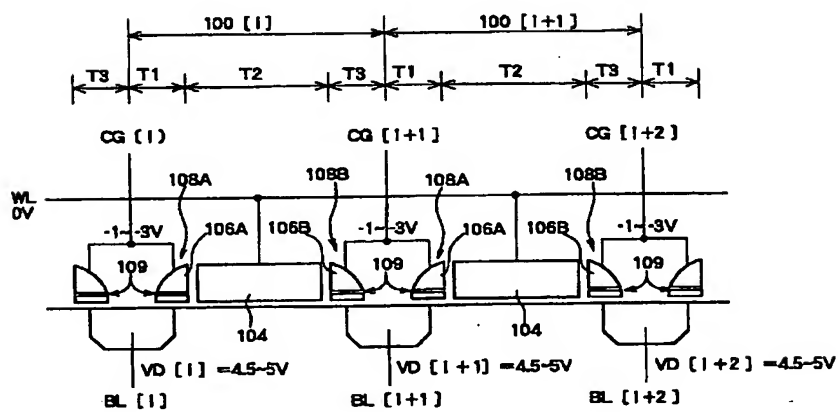
【図15】



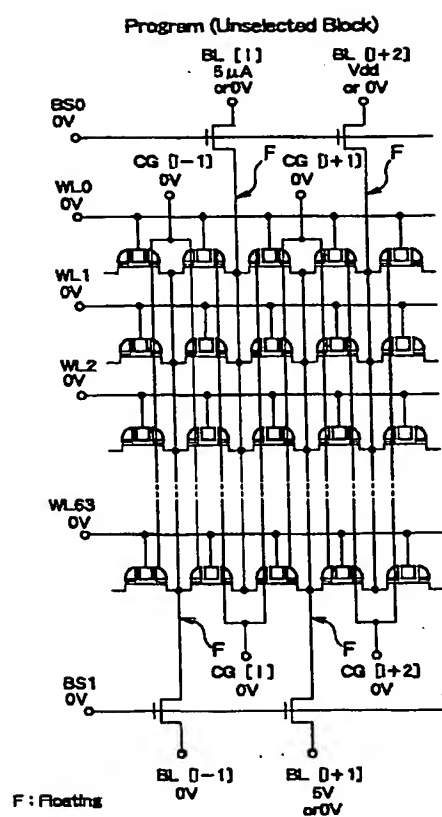
【図17】



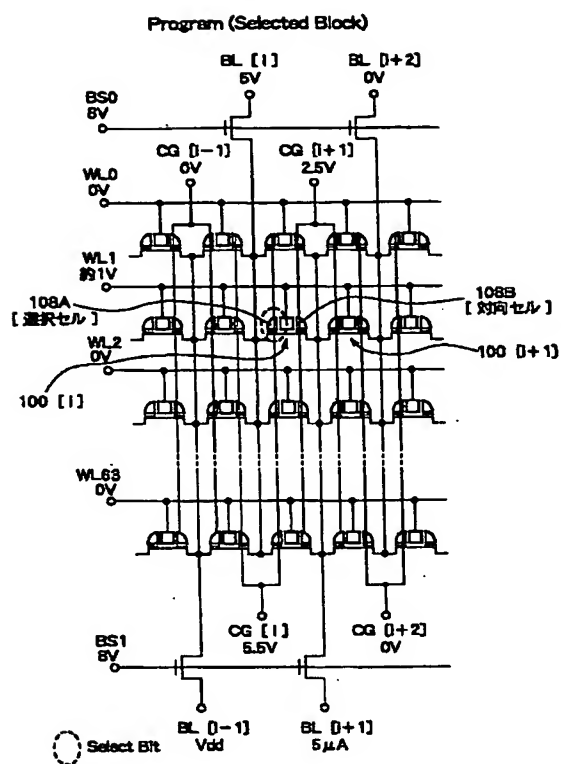
【図20】



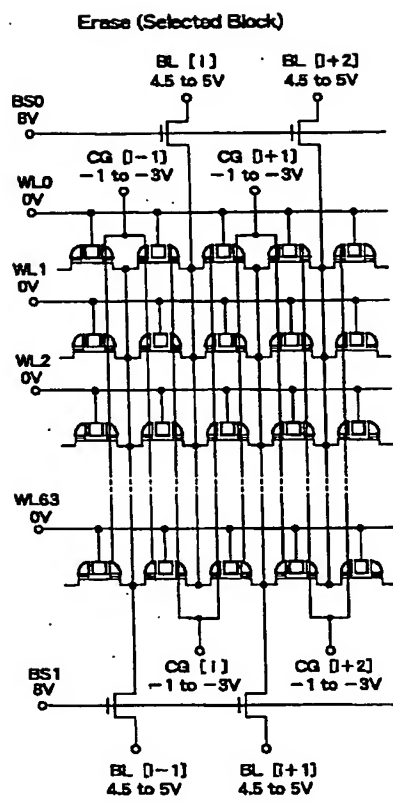
【図18】



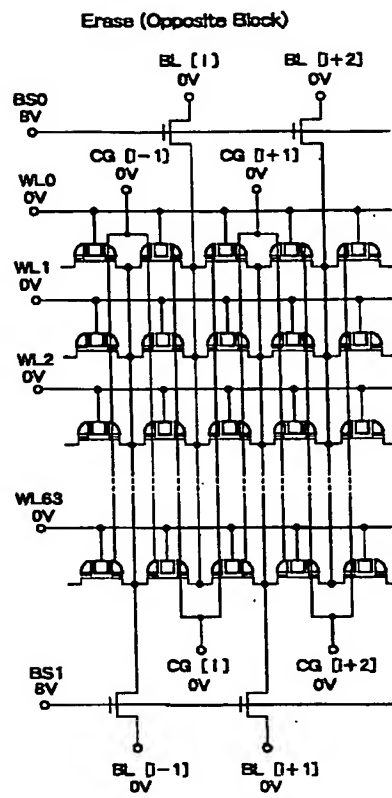
【図19】



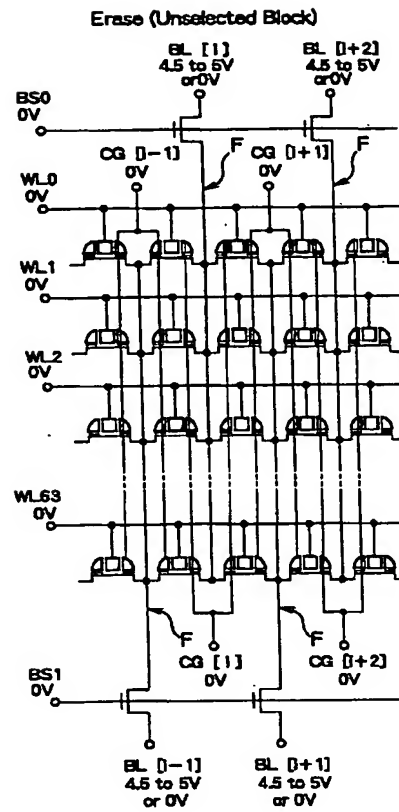
【図21】



【図22】



【図23】



フロントページの続き

(72)発明者 金井 正博
長野県諏訪市大和3丁目3番5号 セイコ
ーエブソン株式会社内

(72)発明者 亀井 輝彦
長野県諏訪市大和3丁目3番5号 セイコ
ーエブソン株式会社内

Fターム(参考) 5B025 AA07 AB01 AC02 AD03 AD04
AD09 AE08

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-334588

(43)Date of publication of application : 22.11.2002

(51)Int.Cl.

G11C 16/02

G11C 16/04

(21)Application number : 2001-141616

(71)Applicant : SEIKO EPSON CORP
HALO LSI DESIGN & DEVICE
TECHNOL INC

(22)Date of filing : 11.05.2001

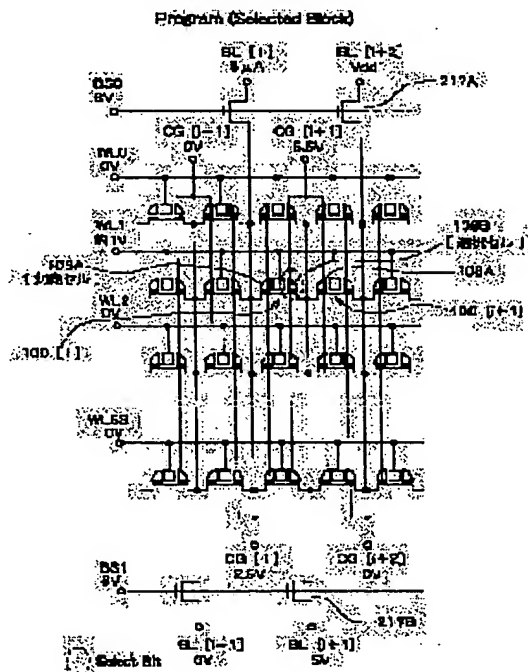
(72)Inventor : KANAI MASAHIRO
KAMEI TERUHIKO

(54) PROGRAMMING METHOD FOR NON-VOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a programming method for a program non-volatile semiconductor memory which can perform properly data program operation for a twin memory cell.

SOLUTION: This method is a method for programming data for a memory element 108B of a twin memory cell (i). A word line WL1 is set to word line selection voltage for program (1 V), a control gate CG [i+1] is set to control gate voltage for program (5.5 V), and a control gate CG [i] is set to override voltage (2.5 V). A bit line BL [i+1] is set to bit line voltage (5 V) for program, and a bit line BL [i] is connected to a constant current source 404.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more arrays of the twin memory cell which has the one WORD gate and the 1st, 1st [which are controlled by the 2nd control gate], and 2nd nonvolatile memory component are carried out. Three adjoining twin memory cells by which said WORD gate was connected to one word line (i-1), It is the approach of programming data among (i) and (i+1) to said 2nd nonvolatile memory component of said twin memory cell (i). Set said word line as the word line selection electrical potential difference for a program, and said 2nd control gate of said twin memory cell (i) and said 1st control gate of said twin memory cell (i+1) are set as the control gate voltage for a program. Said 2nd control gate of said twin memory cell (i-1) and said 1st control gate of said twin memory cell (i) are set as an exaggerated RAIDO electrical potential difference. The bit line by which common connection is made is set as said 2nd nonvolatile memory component of said twin memory cell (i), and said 1st nonvolatile memory component of said twin memory cell (i+1) at the bit line electrical potential difference for a program. The program approach of the non-volatile semiconductor memory characterized by connecting to a constant current source the bit line by which common connection is made at said 2nd nonvolatile memory component of said twin memory cell (i-1), and said 1st nonvolatile memory component of said twin memory cell (i).

[Claim 2] Two or more arrays of the twin memory cell which has the one WORD gate and the 1st, 1st [which are controlled by the 2nd control gate], and 2nd nonvolatile memory component are carried out. Three adjoining twin memory cells by which said WORD gate was connected to one word line (i-1), It is the approach of programming data among (i) and (i+1) to said 1st nonvolatile memory component of said twin memory cell (i). Set said word line as the word line selection electrical potential difference for a program, and said 2nd control gate of said twin memory cell (i-1) and said 1st control gate of said twin memory cell (i) are set as the control gate voltage for a program. Said 2nd control gate of said twin memory cell (i) and said 1st control gate of said twin memory cell (i+1) are set as an exaggerated RAIDO electrical potential difference. The bit line by which common connection is made is set as said 2nd nonvolatile memory component of said twin memory cell (i-1), and said 1st nonvolatile memory component of said twin memory cell (i) at the bit line electrical potential difference for a program. The program approach of the non-volatile semiconductor memory characterized by connecting to a constant current source the bit line by which common connection is made at said 2nd nonvolatile memory component of said twin memory cell (i), and said 1st nonvolatile memory component of said twin memory cell (i+1).

[Claim 3] It is the program approach of the non-volatile semiconductor memory characterized by being set as an electrical potential difference high to extent which can pass the current beyond the current which flows in said constant current source between the source drains of said twin memory cell containing said nonvolatile memory component by which said word line selection electrical potential difference for a program is programmed in claims 1 or 2.

[Claim 4] It is the program approach of the non-volatile semiconductor memory characterized by having the ONO film with which each of the said 1st and 2nd nonvolatile memory component consists of an oxide film (O), a nitride (N), and an oxide film (O) in claim 1 thru/or either of 3 as a trap site of a charge, and programming data to said trap site.

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the program approach of the non-volatile semiconductor memory which consists of twin memory cells equipped with two nonvolatile memory components controlled by the one WORD gate and the two control gates.

[0002]

[Background of the Invention] As a non-volatile semiconductor device, the gate insulating layer between a channel and the gate consists of a layered product of the silicon oxide film, a silicon nitride film, and the silicon oxide film, and the MONOS (Metal-Oxide-Nitride-Oxide-Semiconductor or -substrate) mold with which the trap of the charge is carried out to a silicon nitride film is known.

[0003] This MONOS mold non-volatile semiconductor memory is indicated by reference (Y. Hayashi, et al, 2000 Symposium on VLSI Technology Digest of Technical Papers p.122-p.123). The twin MONOS flash plate memory cell which equipped this reference with two nonvolatile memory components (MONOS memory device) controlled by the one WORD gate and the two control gates is indicated. That is, one flash plate memory cell has two trap sites of a charge.

[0004] Two or more arrays of two or more twin MONOS flash plate memory cells which have such structure are made to carry out in a line writing direction and the direction of a train, respectively, and a memory cell array field is constituted.

[0005]

[Problem(s) to be Solved by the Invention] In order to drive this twin MONOS flash plate memory cell, two bit lines, one word line, and two control gate lines are required. However, even if it is the different control gate, when facing driving many twin memory cells, and setting it as the same potential, common connection of these lines can be made.

[0006] There are elimination of data, a program, and read-out in actuation of this kind of flash memory. A program and read-out of data are usually simultaneously carried out in a selection cel (8 bits or 16 bits).

[0007] Here, in a MONOS flash memory, two or more twin MONOS flash plate memory cells by which relatively-prime child separation is not carried out are connected to one word line. And in order to program data in a certain specific selection cel (selected nonvolatile memory component), electrical-potential-difference setting out of the twin MONOS flash plate memory cell which adjoins not only electrical-potential-difference setting out of a twin MONOS flash memory but it which has the selection cel must be carried out appropriately.

[0008] In case this invention programs data to a selection cel, it is to set up appropriately the electrical potential difference to the twin memory cell which adjoins the twin memory cell and it containing the selection cel, and offer the program approach of a non-volatile semiconductor memory that the data program to a selection cel can be carried out certainly.

[0009]

[Means for Solving the Problem] Two or more arrays of the twin memory cell in which one mode of this invention has the one WORD gate and the 1st, 1st [which are controlled by the 2nd control gate], and 2nd nonvolatile memory component are carried out. Three adjoining twin memory cells by which said WORD gate was connected to one word line (i-1), It is the approach of programming

data among (i) and (i+1) to said 2nd nonvolatile memory component of said twin memory cell (i). Set said word line as the word line selection electrical potential difference for a program, and said 2nd control gate of said twin memory cell (i) and said 1st control gate of said twin memory cell (i+1) are set as the control gate voltage for a program. Said 2nd control gate of said twin memory cell (i-1) and said 1st control gate of said twin memory cell (i) are set as an exaggerated RAIDO electrical potential difference. The bit line by which common connection is made is set as said 2nd nonvolatile memory component of said twin memory cell (i), and said 1st nonvolatile memory component of said twin memory cell (i+1) at the bit line electrical potential difference for a program. It is characterized by connecting to a constant current source the bit line by which common connection is made at said 2nd nonvolatile memory component of said twin memory cell (i-1), and said 1st nonvolatile memory component of said twin memory cell (i).

[0010] Two or more arrays of the twin memory cell in which other modes of this invention have the one WORD gate and the 1st, 1st [which are controlled by the 2nd control gate], and 2nd nonvolatile memory component are carried out. Three adjoining twin memory cells by which said WORD gate was connected to one word line (i-1), It is the approach of programming data among (i) and (i+1) to said 1st nonvolatile memory component of said twin memory cell (i). Set said word line as the word line selection electrical potential difference for a program, and said 2nd control gate of said twin memory cell (i-1) and said 1st control gate of said twin memory cell (i) are set as the control gate voltage for a program. Said 2nd control gate of said twin memory cell (i) and said 1st control gate of said twin memory cell (i+1) are set as an exaggerated RAIDO electrical potential difference. The bit line by which common connection is made is set as said 2nd nonvolatile memory component of said twin memory cell (i-1), and said 1st nonvolatile memory component of said twin memory cell (i) at the bit line electrical potential difference for a program. It is characterized by connecting to a constant current source the bit line by which common connection is made at said 2nd nonvolatile memory component of said twin memory cell (i), and said 1st nonvolatile memory component of said twin memory cell (i+1).

[0011] Also in which mode of this invention, with restricting the current which flows into a bit line at the time of a program according to a constant current source, the electrical potential difference of the bit line can be set up appropriately, and program actuation can be carried out certainly.

[0012] Here, as for the word line selection electrical potential difference for a program, it is desirable to set it as an electrical potential difference high to extent which can pass the current beyond the current which flows in said constant current source between the source drains of the selected twin memory cell (between bit lines). Even if such, since a constant current source can restrict uniformly, the current which flows into a bit line at the time of a program can set up the electrical potential difference of the bit line appropriately, and can carry out program actuation certainly.

[0013] Although each of the 1st and 2nd nonvolatile memory component can have the ONO film which consists of an oxide film (O), a nitride (N), and an oxide film (O) as a trap site of a charge, not only this but other structures can be used for it.

[0014]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to a drawing.

[0015] (Twin memory cell structure) Drawing 1 shows one cross section of a non-volatile semiconductor memory. In drawing 1, one twin memory cell 100 has the WORD gate 104 formed on the P type well 102 from the ingredient which contains polish recon through gate oxide, the 1st and 2nd control gate 106A and 106B, and the 1st and 2nd memory device (MONOS memory device) 108A and 108B.

[0016] The 1st and 2nd control gate 106A and 106B is formed in the both-sides wall of the WORD gate 104, and is electrically insulated in the WORD gate 104, respectively.

[0017] Each of the 1st and 2nd memory device 108A and 108B consists of carrying out the laminating of an oxide film (O), a nitride (N), and the oxide film (O) between one and the P type wells 102 of the 1st [which is formed in the polish recon equivalent to M (metal) of MONOS], and 2nd control gate 106A and 106B. In addition, the 1st and 2nd control gate 106A and 106B can also consist of electric conduction material, such as silicide.

[0018] Thus, one twin memory cell 100 has the 1st and 2nd MONOS memory device 108A and 108B equipped with the split gate (the 1st, 2nd control gate 106A and 106B), and is sharing the one WORD gate 104 by the 1st and 2nd MONOS memory device 108A and 108B.

[0019] The this 1st and 2nd MONOS memory device 108A and 108B functions as a trap site of a charge, respectively. Each of the 1st and 2nd MONOS memory device 108A and 108B can carry out the trap of the charge by the ONO film 109.

[0020] As shown in drawing 1, common connection of two or more WORD gates 104 which set spacing to the line writing direction (the 2nd direction B of drawing 1), and were arranged is made at one word line WL formed by a polycide etc.

[0021] Moreover, the control gates 106A and 106B shown in drawing 1 extend along the direction of a train (the 1st direction A vertical to the space of drawing 1), and are shared by two or more twin memory cells 100 arranged in the direction of a train. Therefore, Signs 106A and 106B are also called a control gate line.

[0022] Here, the subcontractor trawl gate line SCG [i+1] formed in the upper metal layer rather than the WORD gate, the control gate, and a word line is connected to control gate line 106B of the twin memory cell 100 of eye [i] watch [i], and control gate line 106A of the twin memory cell 100 of the [i+1st] watch [i+1].

[0023] The impurity layer 110 [i+1] of the 1st [which is shared by MONOS memory device 108B of the twin memory cell 100 of eye [i] watch [i] and MONOS memory device 108A of the twin memory cell 100 of the [i+1st] watch [i+1] / [the i+1st]] watch is formed in the P type well 102.

[0024] It is n mold impurity layer formed in a P type well, and it extends along the direction of a train (the 1st direction vertical to the space of drawing 1 of direction A), and these impurity layers 110 [i], [i+1], and [i+2] function as a bit line shared by two or more twin memory cells 100 arranged in the direction of a train. Therefore, a bit line BL [i], [i+1], and [i+2] call a sign 110 [i], [i+1], [i+2], etc.

[0025] (The whole non-volatile semiconductor-memory configuration) The whole non-volatile semiconductor-memory configuration constituted using the above-mentioned twin memory cell 100 is explained with reference to drawing 2 (A) - drawing 2 (E).

[0026] Drawing 2 (A) is the flat-surface layout pattern of the non-volatile semiconductor memory of one chip, and has the memory cell array field 200 and the global word line decoder 201. the memory cell array field 200 — for example, a total of 64 the 0- it has the 63rd sector field 210.

[0027] 64 sector fields 210 are what divided the memory cell array field 200 in the direction B of the 2nd (line writing direction), respectively, as shown in drawing 2 (A), and each sector field 210 has the longwise configuration which makes a longitudinal direction the direction A of the 1st (the direction of a train). The smallest unit of data elimination is the sector field 210, and the stored data in the sector field 210 is put in block, or is eliminated by time sharing.

[0028] The memory array field 200 has 4K word lines WL and 4K bit lines BL. With the gestalt of this operation here, since two MONOS memory devices 108A and 108B are connected to one bit line BL, 4K bit lines BL mean the storage capacity of 8Kbit. The storage capacity of each sector field 210 is 1/64 of the storage capacity of the whole memory, and has the storage capacity defined by $x(4K \text{ word lines WL}) (64 \text{ bit lines BL}) x2$.

[0029] Drawing 2 (B) shows the detail of two sector fields 210 where the non-volatile semiconductor memory shown in drawing 2 (A) adjoins each other, the 0th and the 1st. As shown in drawing 2 (B), the local drivers (a local control gate driver, a local bit line selection driver, and a local word line driver are included) 220A and 220B are arranged at the both sides of two sectors 210. Moreover, the sector control circuit 222 is arranged at the top chord of two sectors 210 and two local drivers 220A and 220B.

[0030] Each sector field 210 is divided in the 2nd direction, and has 16 memory block 214 I/O0 - for I/O15 (memory block corresponding to an I/O bit) for 16-bit data possible [read/write]. Each memory block 214 has the word line WL of 4K (4096) book, as shown in drawing 2 (B).

[0031] As shown in drawing 2 (C), one memory block 214 shown in drawing 2 (B) is divided into eight large blocks 212 in the direction A of the 1st. This the large block 212 of each is divided into eight small blocks 215 in the direction A of the 1st, as shown in drawing 2 (D).

[0032] Each small block 215 has 64 word lines WL, as shown in drawing 2 (E).

[0033] (Detail of a sector field) Drawing 3 shows the detail of the sector field 0 shown in drawing 2 (A). The small memory block 216 shown in drawing 3 arranges four twin memory cells 100 in the direction of a train at 64 pieces and a line writing direction, for example, as shown in drawing 4. Four subcontractor trawl gate lines SCG0-SCG3, four bit lines BL0-BL3 which are input output lines of data, and 64 word lines WL are connected to one small memory block 216.

[0034] Here, common connection of each 2nd control gate 106B of two or more twin memory cells of an even number train (the 0th train or the 2nd train) and each 1st control gate 106A of two or more twin memory cells of an odd number train (the 1st train or the 3rd train) is made at the even subcontractor trawl gate lines SCG0 and SCG2. Similarly, common connection of each 2nd control gate 106B of two or more twin memory cells of an odd number train (the 1st train or the 3rd train) and each 1st control gate 106A of two or more twin memory cells of an even number train (the 2nd train or the 4th train) is made at the odd subcontractor trawl gate lines SCG1 and SCG3.

[0035] As shown in drawing 3, in order to arrange the small memory block 216 in the 64 directions of a train in one memory block 214 and to perform 16-bit I/O, 16 memory block 214 corresponding to 16 I/O0 - I/O15 is arranged by the line writing direction.

[0036] Common connection of the 16 subcontractor trawl gate lines SCG0 of 16 small memory block 216 arranged by the line writing direction is made at the line writing direction at the Maine control gate line MCG0. Similarly, 16 subcontractor trawl gate lines SCG2 are carried out at the Maine control gate line MCG2, and common connection of the 16 subcontractor trawl gate lines SCG3 is made for 16 subcontractor trawl gate lines SCG1 on the Maine control gate line MCG3 at the Maine control gate line MCG1, respectively.

[0037] The CG driver 300-0 to 300-63 which is the control gate actuator of this sector field 0 is formed. Four above-mentioned Maine control gate lines MCG0-MCG3 prolonged in a line writing direction are connected to this CG driver 300.

[0038] Drawing 5 shows the relation between the phase next door **** sector field 0 and the sector field 1. Although, as for the sector field 0 and the sector field 1, a word line WL is shared, the Maine control gate line MCG and the Maine bit line MBL are formed independently, respectively. In drawing 5, the CG driver 300-0,300-1 especially corresponding to the sector field 0 and the CG driver 301-0,301-1 corresponding to the sector field 1 are shown, and CG driver is independently prepared for every sector field.

[0039] Common connection of each bit line BL0 (impurity layer) arranged every small memory block 216 is made at the Maine bit line MBL which is metal wiring. This Maine bit line MBL is shared between small memory block arranged in the direction of a train. In the middle of each path from this Maine bit line MBL to each bit line BL0 in small memory block, bit line selector-gate 217A is arranged. In addition, although omitted by odd number Motome's bit lines BL1 and BL3, and BL5 — by drawing 5 to above-mentioned bit line selector-gate 217A being connected to even number Motome's bit lines BL0 and BL2, and BL4 —, respectively, bit line selector-gate 217B is connected (refer to drawing 10 and drawing 15).

[0040] The detail of two small blocks 215 in the two 0th and 1st adjacent sector field 210 and the local drivers 220A and 220B of the both sides is shown in drawing 6. As shown in drawing 6, four local control gate line drivers CGDRV0-CGDRV3 equivalent to the CG driver 300 shown in drawing 3 and drawing 5 are arranged at left-hand side local driver 220A. Similarly, four local control gate line drivers CGDRV0-CGDRV3 equivalent to the CG driver 301 shown in drawing 5 are arranged at right-hand side local driver 220B.

[0041] Moreover, WLDRVR0 which drives a sector 0, the even-numbered word line 0 and WL 2 in one, the local word line drivers WLDRV0 and WLDRV2 that drive —62, and one redundancy word line in — WLDRV62 and a sector 0 is arranged at left-hand side local driver 220A. A sector 0, the odd-numbered word line 1 and WL 3 in one, the local word line drivers WLDRV1 and WLDRV3 that drive —63, —WLDRV63, and WLDRVR1 which drives one redundancy word line of a sector 1 are arranged at right-hand side local driver 220B.

[0042] Furthermore, the local bit line driver BSRV0 which drives bit line selector-gate 217A connected to sectors BL0 and 1 [0 and] BL2, for example, the even-numbered bit lines, is arranged at left-hand side local driver 220A. The local bit line driver BSRV1 which drives bit line selector-gate 217B connected to sectors BL1 and 1 [0 and] BL3, for example, the odd-

numbered bit lines, is arranged at right-hand side local driver 220B.

[0043] (Explanation of operation) Here, data read-out, the data program, and data elimination actuation of this operation gestalt with a non-volatile semiconductor memory are explained.

[0044] the following explanation — setting — a selection block (Selected Block), a non-choosing opposite block (Opposite Block), and un-choosing — a block (Unselected Block) — the vocabulary is used. These are the classes of mnemonic name of the small block 215. A selection block means one small block 215 chosen, for example within the sector 0, if the sectors 0 and 1 of a couple are mentioned as an example as shown in drawing 7 for example. A non-choosing opposite block is the small block 215 in a sector 0 and the adjoining sector 1, and means a selection block and the adjoining small block 215. A non-choosing block means the selection block in a sector 0 and 1, and all small blocks 215 other than an opposite block (sectors 2-63 are also included).

[0045] Moreover, a selection cel (Selected Cell: selected twin memory cell 100) and a non-choosing cel (twin memory cell 100 which was not Unselected Cell : chosen) are in the selection block at the time of a lead or a program. Furthermore, there are the memory devices 108A or 108B of a selection side (Selected Side) and memory devices 108B or 108A of an opposite side (Opposite side) in a selection cel.

[0046] Under the above definitions, each potential of the control gate line CG at the time of a program and elimination (erasure), a bit line BL, and a word line WL is shown in a following table 1 and a following table 2 at the time of a lead.

[0047]

[A table 1]

Mode	BS	Selected Block							
		WL	Selected Twin MONOS Cell				Unselected Twin MONOS Cell		
			Selected Cell		Opposited Cell		WL	BL	CG
			BL	CG	BL	CG			
Read	4.5V (Opp.Side) Vdd (Sel.Side)	Vdd	0V	1.5V±0.1V	sense	3V	Vdd or 0V	sense or 0V	3v or 1.5V±0.1V or 0V
Program	8V	約1V	5V	5.5V	lprg=5uA (0 to 1V)	2.5V	約1V or 0V	5V or Vdd or (0 to 1V)	5.5V or 2.5V or 0V
Erase	8V	0V	4.5 to 5V	-1 to -3V	4.5 to 5V	-1 to -3V			

[0048]

[A table 2]

Mode	Opposite Block				Unselected Block			
	BS	WL	BL	CG	BS	WL	BL	CG
Read	4.5V (Opp.Side) Vdd (Sel.Side)	Vdd or 0V	0V	0V	0V	0V	F	0V
Program	8V	約1V or 0V	0V	0V	0V	0V	F	0V
Erase	8V	0V	0V	0V	0V	0V	F	0V

[0049] Hereafter, actuation in each mode is explained based on a table 1 and a table 2.

[0050] (Data read-out from a memory cell) A ** type-izing [one twin memory cell 100 / thing / the transistor T2 driven by the WORD gate 104, the 1st and the transistor T1 driven by the 2nd control gate 106A and 106B, respectively, and / which connected T3 to the serial] as shown in drawing 8 .

[0051] As it faces explaining actuation of the twin memory cell 100 and is shown in drawing 9 ,

setting out of the potential of every place of three twin memory cells 100 [i-1] which adjoin within a certain selection block in a sector 0 (selected small block 215), [i], [i+1], and [i+2] is explained first. Drawing 9 is drawing explaining the case where the data from MONOS memory device 108B (selection cel) on the right-hand side of the WORD gate 104 of the twin memory cell 100 [i] connected to the word line WL1 are read in reverse mode, and drawing 10 shows electrical-potential-difference setting out with the selection block at that time.

[0052] In this case, Vdd (for example, 1.8V) is impressed to the WORD gate WL1 in the same line as the twin memory cell 100 [i] as a word line selection electrical potential difference for read-out, and each transistor T2 of that line is made to turn on. Moreover, an exaggerated RAIDO electrical potential difference (for example, 3V) is impressed to control gate 106A on the left-hand side of the twin memory cell 100 [i] (opposite cel) through the subcontractor trawl gate line SCG [i], and the transistor T1 which corresponds at MONOS memory device 108A is made to turn on. As an electrical potential difference VCG of control gate 106B on the right-hand side of the twin memory cell 100 [i], the read-out electrical potential difference Vread (for example, 1.5V) is impressed.

[0053] At this time, actuation of transistor T3 which is equivalent to MONOS memory device 108B by whether the charge was accumulated in MONOS memory device 108B on the right-hand side of the WORD gate 104 (selection cel) is divided as follows.

[0054] Drawing 11 shows relation with the current I_{ds} which flows between the source-drains of transistor T3 equivalent to the applied voltage to control gate 106B on the right-hand side of the twin memory cell 100 [i] (selection cel side), and MONOS memory device 108B (selection cel) controlled by it.

[0055] As shown in drawing 11, when the charge is not accumulated in MONOS memory device 108B (selection cel), if control gate voltage VCG exceeds the low threshold electrical potential difference Vlow, Current I_{ds} will begin to flow. On the other hand, when the charge is accumulated in MONOS memory device 108B (selection cel), unless the control gate potential VCG of a selection side exceeds the high threshold electrical potential difference Vhigh, Current I_{ds} does not begin to flow.

[0056] the electrical potential difference Vread which carries out data reading appearance and is sometimes impressed here at control gate 106B of a selection side — two threshold electrical potential differences Vlow and Vhigh — it is mostly set as intermediate voltage.

[0057] Therefore, when the charge is not accumulated in MONOS memory device 108B (selection cel), Current I_{ds} flows, and when the charge is accumulated in MONOS memory device 108B (selection cel), Current I_{ds} will not flow.

[0058] Here, as shown in drawing 10, the bit line BL [i] (impurity layer 110 [i]) connected to the opposite cel at the time of data read-out is connected to a sense amplifier, and the potential VD [i-1] of other bit lines BL [i-1], [i+1], and [i+2], [i+1], and [i+2] are set as 0V, respectively. Since Current I_{ds} will flow when the charge is not accumulated in MONOS memory device 108B (selection cel) if it carries out like this, the current for example, more than 25microA flows to the bit line BL of an opposite side [i] through the transistors T1 and T2 of an ON state. On the other hand, since Current I_{ds} does not flow when the charge is accumulated in MONOS memory device 108B (selection cel), even if transistors T1 and T2 are ON states, the current which flows to the bit line BL [i] connected to the opposite cel is set to less than 10 nAs. Therefore, data read-out from MONOS memory device 108B (selection cel) of the twin memory cell 100 [i] becomes possible by detecting the current which flows to the bit line BL of an opposite side [i] with a sense amplifier.

[0059] In addition, with the gestalt of this operation, as shown in drawing 10, bit line selection transistor (n mold MOS transistor) 217A is connected to a bit line BL [i] and [i+2], and bit line selection transistor 217B is connected to a bit line BL [i-1] and [i+1].

[0060] These selection transistors 217A and 127B are difficult for securing current actuation capacity highly due to size, and serve as the channel width of $W = 0.9$ micrometers, and $L = 0.8$ micrometers of channel length with the gestalt of this operation.

[0061] It supplies through the booster circuit which does not illustrate the gate voltage of bit line selection transistor 217A on the need of securing an above-mentioned current to the bit line BL

[i] connected to a sense amplifier, for example, the electrical potential difference of 4.5V is supplied.

[0062] On the other hand, the electrical potential difference by the side of the source of MONOS memory device 108A of the selection side of drawing 10 turns into an electrical potential difference (about dozens–100mV) near 0V. For this reason, since there is little effect of the backgate of bit line selection transistor 217B, that gate voltage has been set as Vdd. Since it is not necessary to supply 4.5V to this gate, the load of an above-mentioned booster circuit (charge pump) can be lessened.

[0063] In addition, about the non-choosing cel within a selection block, it becomes electrical-potential-difference setting out as a table 1.

[0064] Next, with the selection block in a sector 0, and the opposite block in the sector 1 which counters (small block 215), it becomes electrical-potential-difference setting out as the above-mentioned table 2, and the situation is shown in drawing 12. In drawing 12, since the electrical potential difference of each word line WL and the gate voltage of a bit line selection transistor are shared with sectors 0 and 1, they serve as the same setting out as the inside of the selection block shown in drawing 10. All bit lines are set as 0V.

[0065] It is except a selection block and an opposite block, and with the non-choosing block (small block 215) which exists in sectors 0–63, it becomes electrical-potential-difference setting out as the above-mentioned table 2, and the situation is shown in drawing 13.

[0066] this non-choosing block — both the gate voltage of the bit line selection transistors 217A and 217B word line WL and the control gate line CG — although — it is set as 0V. Since the bit line selection transistors 217A and 217B turn off, a bit line BL will be in floating.

[0067] (Programming of a memory cell) Drawing 14 is drawing explaining data programming of MONOS memory device 108B (selection cel) on the right-hand side of WORD GEDO 104 of the twin memory cell 100 [i] connected to the word line WL1, and drawing 15 shows the situation of electrical-potential-difference setting out within a selection block. Data elimination actuation mentioned later is carried out before this data programming actuation.

[0068] In drawing 14, as well as drawing 9, potential of the subcontractor trawl gate line SCG [i] is made into exaggerated RAIDO potential (for example, 2.5V), and potential of the subcontractor trawl gate line SCG [i–1] and [i+2] is set to 0V. Here, exaggerated RAIDO potential is potential required in order to make the transistor T1 equivalent to MONOS memory device 108A turn on and to pass a program current irrespective of the existence of the program of MONOS memory device 108A (the component by the side of selection is a component of an opposite hand) on the left-hand side of the twin memory cell 100 [i]. Moreover, the potential of each WORD gate 104 of drawing 15 is set as the about [1.0V] word-line selection electrical potential difference for a program lower than supply voltage Vdd by the word line WL1. Moreover, the potential of control gate 108B (selection cel) on the right-hand side of the twin memory cell 100 [i+1] is set as the write-in electrical potential difference Vwrite (for example, 5.5V) shown in drawing 4 which is the control gate voltage for a program through the subcontractor trawl gate line SCG [i+1].

[0069] Next, electrical-potential-difference setting out of a bit line BL is explained with reference to drawing 16. Drawing 16 shows roughly the interior of Y pass circuit 400 connected to a bit line BL.

[0070] In this Y pass circuit 400, the 1st transistor 401 for connecting a bit line BL to a sense amplifier or a bit line driver and the 2nd transistor 402 for connecting with the other path are formed. The opposite signals YS0/YSO are inputted into the gate of the 1st and 2nd transistor 401,402.

[0071] Supply voltage Vdd (1.8V) and the constant current source 404 which passes the constant current of 5microA are formed in the source of the 2nd transistor 402 through the switch 403.

[0072] At the time of a program, it connects with a bit line driver through the 1st transistor 401 of drawing 16, and the electrical potential difference VD [i+1] of the bit line BL of drawing 14 and drawing 15 [i+1] is set as 5V which are a bit line electrical potential difference for a program.

[0073] Moreover, a bit line BL [i+2] is set as Vdd through the 2nd transistor 402 and switch 403 of drawing 16.

[0074] A bit line BL [i–1] and [i] are both connected to a constant current source 404 through the

2nd transistor 402 and switch 403 of drawing 16 . However, since the control gate line CG [i-1] is 0V, the MONOS cel connected to the bit line BL [i-1] is turned off, and since a current does not flow, it is set as 0V through a constant current source 404.

[0075] If it carries out like this, while the transistors T1 and T2 of the twin memory cell 100 [i] will turn on, respectively and Current I_{ds} will flow towards a bit line BL [i], the trap of the channel hot electron (CHE) is carried out to the ONO film 109 of MONOS memory device 108B. In this way, programming actuation of MONOS memory device 108B is carried out, and "0" of data or "1" is written in.

[0076] Here, the word line selection electrical potential difference for a program is set as about [instead of about 1V] 0.77V, and there is also the approach of setting a bit line BL [i] to 0V. Though carried out, since the word line selection electrical potential difference for a program was raised with about 1 V, and the increase of the current between source drains and the current which flows into a bit line BL [i] are restricted by the constant current source 404 at the time of a program, the electrical potential difference of a bit line BL [i] can be set as optimum with this operation gestalt in (0-1V at about [0.7V]), and it enables it to carry out program actuation the optimal with the gestalt of this operation.

[0077] 5.5V are impressed also to the control gate of nonvolatile memory component 108A on the right-hand side of the non-choosing twin memory cell 100 [i+1] on above-mentioned actuation. Since the control gate CG [i+2] on the right-hand side of the twin memory cell 100 [i+1] is set to 0V at this time, originally between the source drains of the twin memory cell 100 [i+1] (between bit lines), a current does not flow. However, since 5V are impressed to a bit line BL [i+1], if high electric field are built between the source drains of the twin memory cell 100 [i+1] (between bit lines), a punch-through current will flow and rye TODI Staab will arise. Then, the electrical potential difference of a bit line BL [i+2] was set to Vdd instead of 0V, the potential difference between source drains was made small, and rye TODI Staab is prevented. Moreover, by the electrical potential difference which exceeds 0V for the electrical potential difference of a bit line BL [i+2], and carrying out to more than equivalent preferably with the word line selection electrical potential difference at the time of a program, since it is hard coming to turn on the transistor T2 of a memory cell [i+1], DISUTABU can be prevented also by it.

[0078] Moreover, since it is necessary to supply 5V to a bit line BL [i+1], 8V are impressed to the gate of bit line selection transistor 217B. On the other hand, 8V were impressed also as well as the gate of bit line selection transistor 217A. On the need of setting it as Vdd by the reason mentioned above to the bit line BL [i+2], since it was necessary to impress an electrical potential difference higher than Vdd also to the gate of transistor 217A, the 8V [same] as the gate voltage of transistor 217B were used. In addition, the gate voltage of bit line selection transistor 217A should be just higher than $V_{dd} + V_{th}$.

[0079] In addition, about the non-choosing cel within a selection block, it becomes electrical-potential-difference setting out as a table 1.

[0080] Next, with the selection block in a sector 0, and the opposite block in the sector 1 which counters (small block 215), it becomes electrical-potential-difference setting out as the above-mentioned table 2, and the situation is shown in drawing 17 . In drawing 17 , since the electrical potential difference of each word line WL and the gate voltage of a bit line selection transistor are shared with sectors 0 and 1, they serve as the same setting out as the inside of the selection block shown in drawing 14 . All bit lines are set as 0V.

[0081] It is except a selection block and an opposite block, and with the non-choosing block (small block 215) which exists in sectors 0-63, it becomes electrical-potential-difference setting out as the above-mentioned table 2, and the situation is shown in drawing 18 .

[0082] this non-choosing block — both the gate voltage of the bit line selection transistors 217A and 217B word line WL and the control gate line CG — although — it is set as 0V. Since the bit line selection transistors 217A and 217B turn off, a bit line BL will be in floating.

[0083] What is necessary is just to set up the potential of every place of the twin memory cell 100 [i-1], [i], and [i+1], as shown in drawing 19 in order to program MONOS memory device 108A on the left-hand side of the twin memory cell 100 [i].

[0084] (Data elimination of a memory cell) Drawing 20 is approximate account drawing for carrying

out data elimination of all the memory cells in a sector 0 collectively, and the situation of the programmed voltage to some memory cells of the sector 0 is illustrated by drawing 21.

[0085] In drawing 20, the potential of each WORD gate 104 is set as 0V by the word line WL, and the potential of the control gates 106A and 106B is set as the about $[-1-3V]$ control gate line electrical potential difference for elimination by the subcontractor trawl gate line SCG $[i-1]$, $[i]$, $[i+1]$, and $[i+2]$. Furthermore, each potential of a bit line BL $[i-1]$, $[i]$, $[i+1]$, and $[i+2]$ is set as the bit line electrical potential difference for elimination of 4.5-5V by the bit line selection transistors 217A and 217B and the bit line driver.

[0086] If it carries out like this, the electron by which the trap was carried out to the ONO film 109 of each MONOS memory devices 108A and 108B will be extracted by the tunnel effect, and will be eliminated by the electric field formed on the control gate voltage for elimination impressed to the control gate, and the bit line electrical potential difference for elimination impressed to the bit line. Thereby, data elimination is simultaneously attained in two or more twin memory cells. In addition, a hot hole may be formed by the band-band tunneling of the front face of the impurity layer which serves as a bit as elimination actuation unlike an above-mentioned thing, and the electron currently stored may be eliminated.

[0087] Moreover, data elimination may be carried out not only by what carries out data elimination of the inside of a sector collectively but by time sharing.

[0088] Next, with the selection block in a sector 0, and the opposite block in the sector 1 which counters (small block 215), it becomes electrical-potential-difference setting out as the above-mentioned table 2, and the situation is shown in drawing 22. In drawing 22, since the electrical potential difference of each word line WL and the gate voltage of a bit line selection transistor are shared with sectors 0 and 1, they serve as the same setting out as the inside of the selection block shown in drawing 18. All bit lines are set as 0V. In neither of each cel within this opposite block, since the control gate line CG and a bit line BL are 0V, DISUTABU arises.

[0089] It is except a selection block and an opposite block, and with the non-choosing block (small block 215) which exists in sectors 0-63, it becomes electrical-potential-difference setting out as the above-mentioned table 2, and the situation is shown in drawing 23.

[0090] this non-choosing block — both the gate voltage of the bit line selection transistors 217A and 217B word line WL and the control gate line CG — although — it is set as 0V. Since the bit line selection transistors 217A and 217B turn off, a bit line BL will be in floating. However, since the electrical potential difference of a bit line BL is an electrical potential difference almost near 0V, when DISUTABU arises also in the cel within this non-choosing block, there is no **.

[0091] In addition, this invention is not limited to the gestalt of operation mentioned above, and deformation implementation various by within the limits of the summary of this invention is possible for it.

[0092] For example, about the structure of the nonvolatile memory components 108A and 108B, it is not limited to MONOS structure. This invention is applicable to the non-volatile semiconductor memory using other various twin memory cells which can carry out the trap of the charge independently in two places with the one WORD gate 104 and the 1st and 2nd control gate 106A and 106B.

[0093] Moreover, with an above-mentioned operation gestalt, it is an example about the number of partitions of the number of partitions of a sector field, a large block, and a small block, and the number of memory cells in small memory block, and other various deformation implementation is possible. Incidentally, it was decided from constraint of a metal wiring pitch that the number of partitions of a large block was set to 8. If a metal wiring pitch can be narrowed, the number of partitions can be increased further. For example, if it carries out comparatively for 16 minutes, since the load carrying capacity (gate capacitance) of one control gate line will become less further, high-speed actuation is attained more. However, since the number of the Maine control gate lines will increase if it carries out comparatively for 16 minutes, a line & tooth space is narrowed or area must be increased. Moreover, since the number of control gate drivers also increases, the part area increases.

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of a memory cell used for the non-volatile semiconductor memory concerning the gestalt of 1 operation of this invention.

[Drawing 2] For the flat-surface layout pattern of the whole non-volatile semiconductor memory which shows drawing 2 (A) to drawing 1 , and drawing 2 (B), the top view of two sector fields in drawing 2 (A) and drawing 2 (C) are [the top view of one large block in drawing 2 (C) and drawing 2 (E) of the top view of one memory block in drawing 2 (B) and drawing 2 (D)] the top views of one small block in drawing 2 (D).

[Drawing 3] It is approximate account drawing for explaining much small memory block and wiring of one sector field shown in drawing 2 (B).

[Drawing 4] It is the circuit diagram of small memory block shown in drawing 3 .

[Drawing 5] It is the circuit diagram showing the relation of the small memory block and the control gate driver which are shown in drawing 3 .

[Drawing 6] It is approximate account drawing showing the relation between two memory block in adjoining 2 sectors, and local drivers.

[Drawing 7] It is approximate account drawing showing a selection block, opposite block of it and not choosing [which counter], and other non-choosing blocks.

[Drawing 8] It is the representative circuit schematic of the memory cell shown in drawing 1 .

[Drawing 9] It is approximate account drawing for explaining data read-out actuation with the non-volatile semiconductor memory shown in drawing 1 .

[Drawing 10] It is approximate account drawing for explaining electrical-potential-difference setting out within the selection block in the time of data read-out.

[Drawing 11] It is property drawing showing the relation of the control gate voltage VCG in a memory cell and the source-drain current I_{ds} which are shown in drawing 1 .

[Drawing 12] It is approximate account drawing for explaining electrical-potential-difference setting out within opposite block of not choosing in the time of data read-out.

[Drawing 13] It is approximate account drawing for explaining electrical-potential-difference setting out within non-choosing blocks other than the opposite block in the time of data read-out.

[Drawing 14] It is approximate account drawing for explaining data write-in (program) actuation with the non-volatile semiconductor memory shown in drawing 1 .

[Drawing 15] It is approximate account drawing for explaining electrical-potential-difference setting out within the selection block in the time of a data program.

[Drawing 16] It is the circuit diagram showing roughly Y pass circuit connected to a bit line.

[Drawing 17] It is approximate account drawing for explaining electrical-potential-difference setting out within opposite block of not choosing in the time of a data program.

[Drawing 18] It is approximate account drawing for explaining electrical-potential-difference setting out within non-choosing blocks other than the opposite block in the time of a data program.

[Drawing 19] Drawing 15 is approximate account drawing for explaining electrical-potential-difference setting out within the selection block in the time of the data program over the memory device of a different selection side.

[Drawing 20] It is approximate account drawing for explaining data elimination actuation with the

non-volatile semiconductor memory shown in drawing 1 .

[Drawing 21] It is approximate account drawing for explaining electrical-potential-difference setting out within the selection block in the time of data elimination.

[Drawing 22] It is approximate account drawing for explaining electrical-potential-difference setting out within opposite block of not choosing in the time of data elimination.

[Drawing 23] It is approximate account drawing for explaining electrical-potential-difference setting out within non-choosing blocks other than the opposite block in the time of data elimination.

[Description of Notations]

100 Twin Memory Cell
 102 P Type Well
 104 WORD Gate
 106A, 106B Control gate (line)
 108A, 108B Nonvolatile memory component (MONOS memory device)
 109 ONO Film
 110 Impurity Layer (Bit Line)
 200 Memory Cell Array Field
 201 Global Word Line Decoder
 210 Sector Field
 212 Large Block
 214 Memory Block
 215 Small Block
 216 Small Memory Block
 217A, 217B Bit line selection transistor
 220A, 220B Local driver
 300,301 CG (control gate) driver
 400 Y Pass Circuit
 401 1st Transistor
 402 2nd Transistor
 403 Switch
 404 Constant Current Source
 WL Word line
 BL Bit line (impurity layer)
 MBL Main bit line
 SCG Subcontractor trawl gate line
 MCG The Main control gate line

[Translation done.]

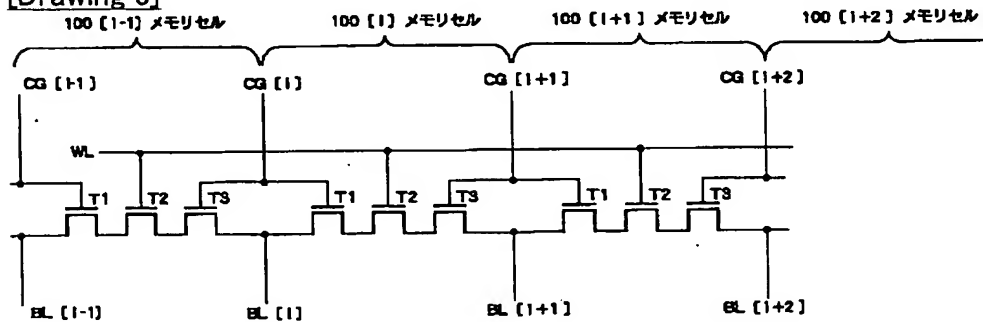
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

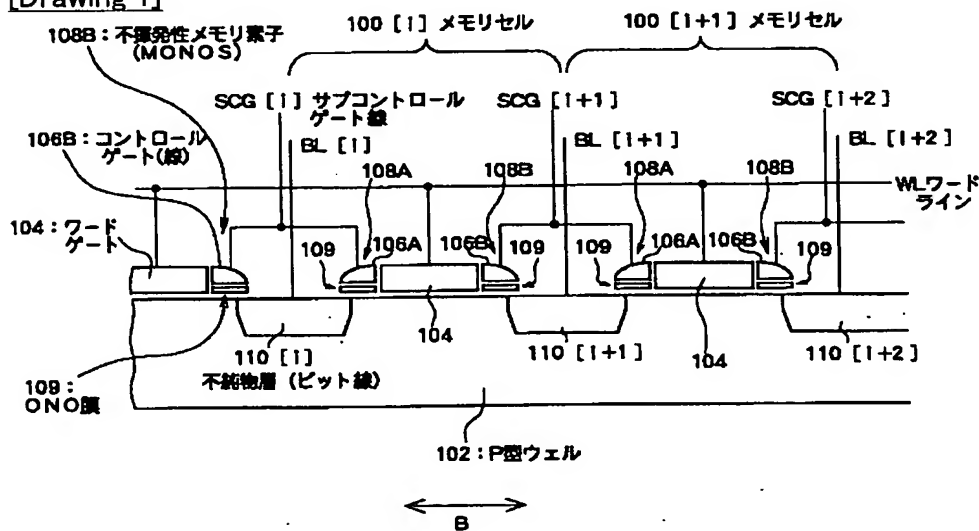
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

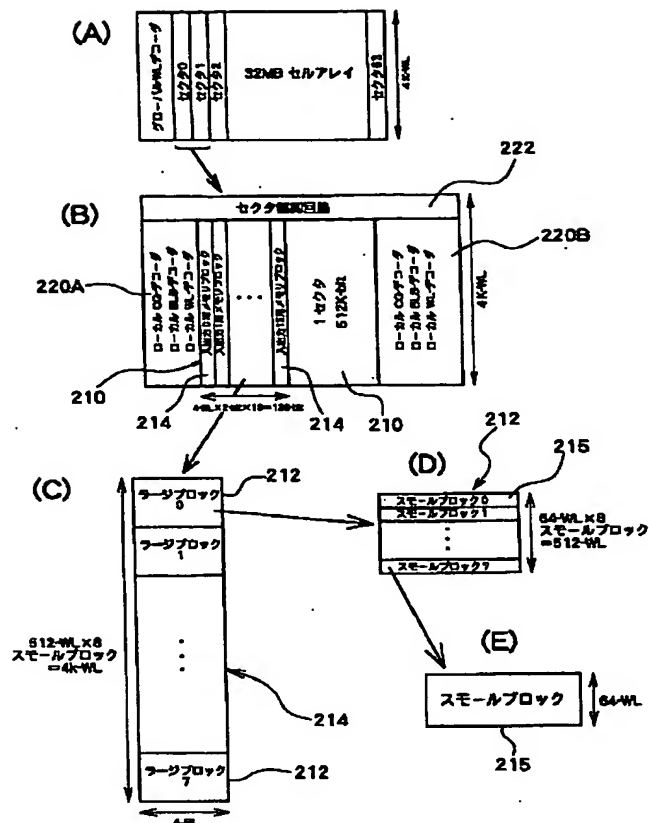
[Drawing 8]



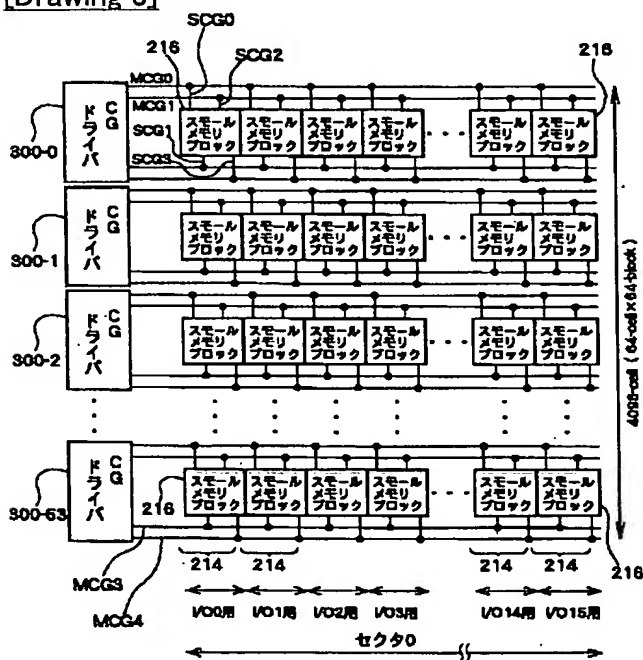
[Drawing 1]



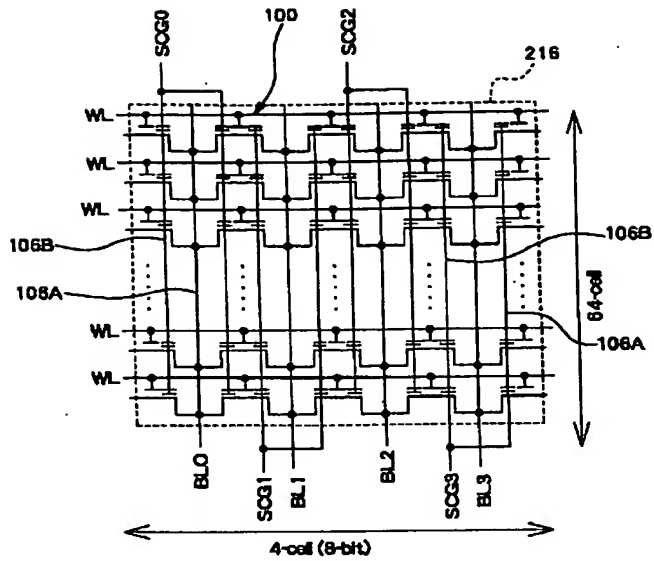
[Drawing 2]



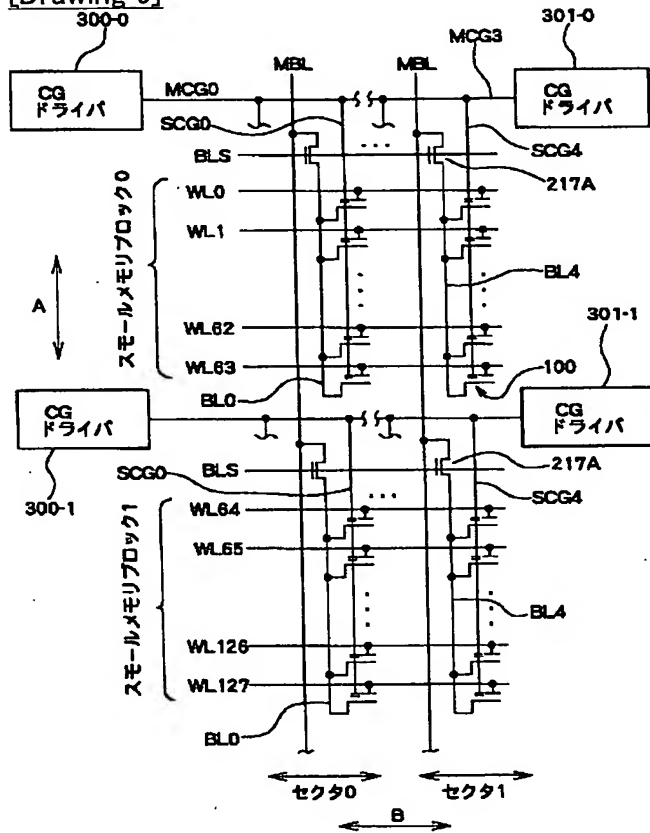
[Drawing 3]



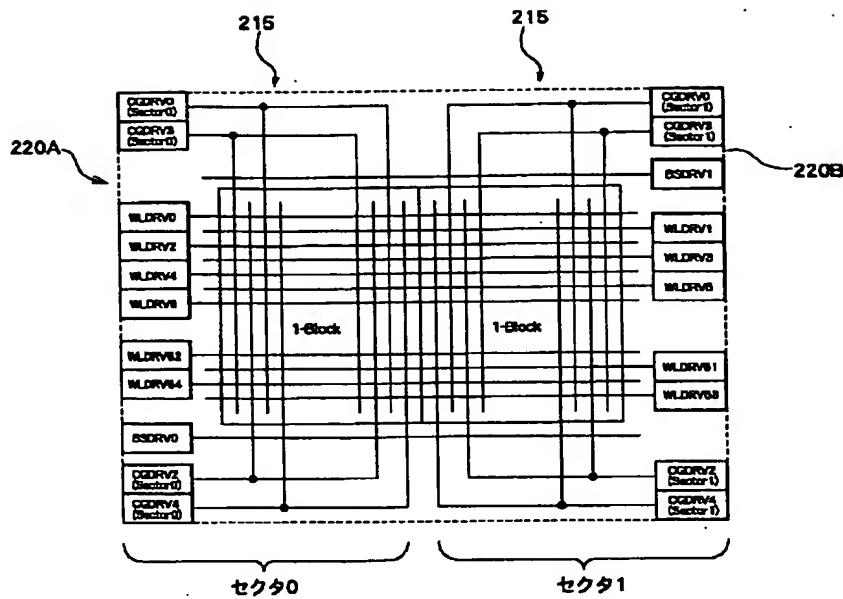
[Drawing 4]



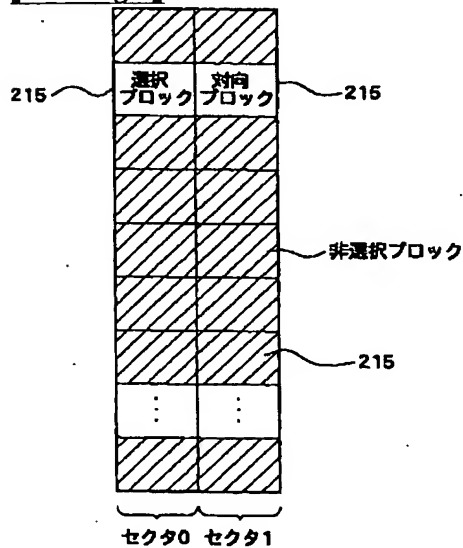
[Drawing 5]



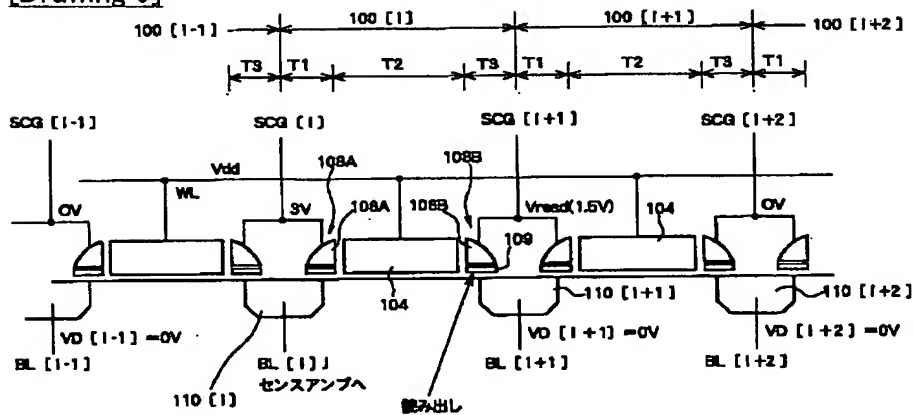
[Drawing 6]



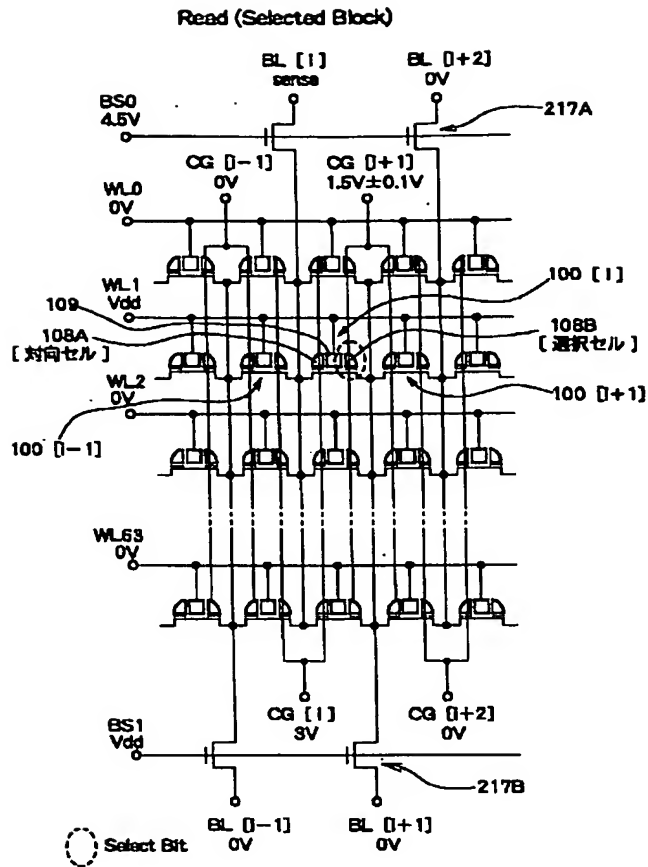
[Drawing 7]



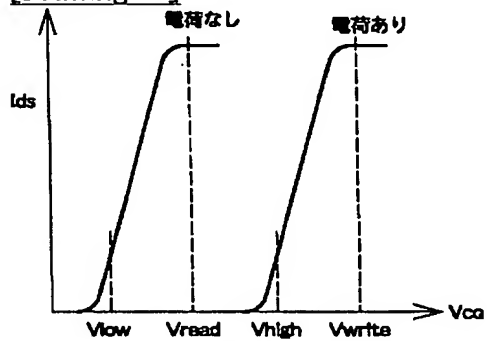
[Drawing 9]



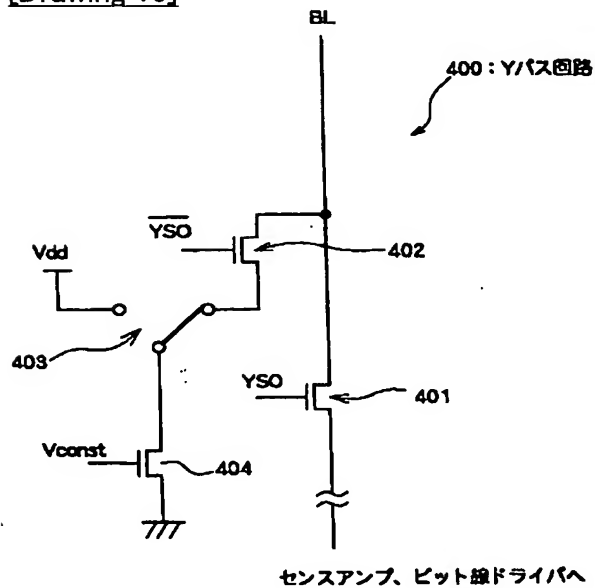
[Drawing 10]



[Drawing 11]

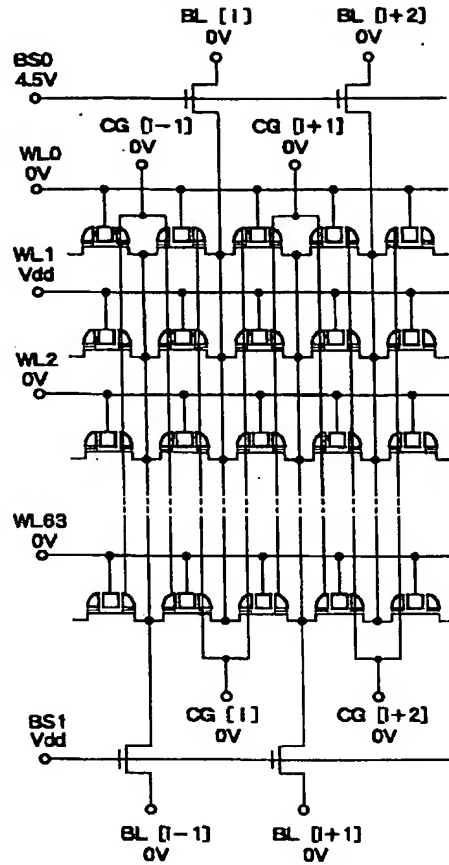


[Drawing 16]



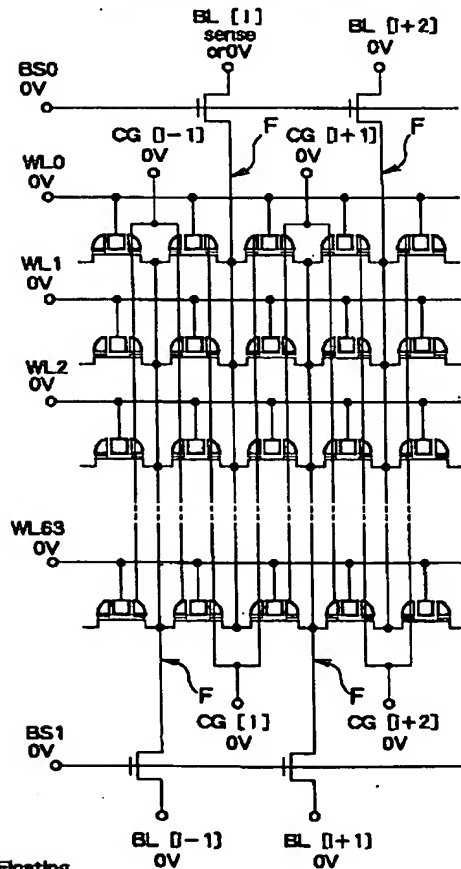
[Drawing 12]

Read (Opposite Block)



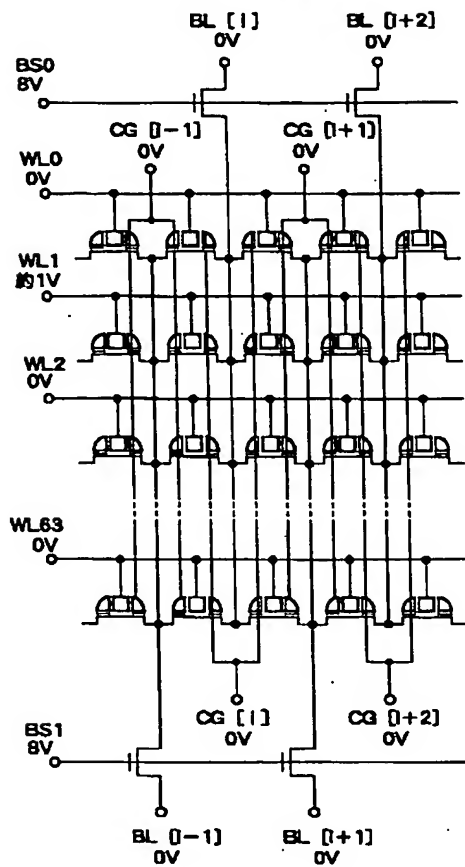
[Drawing 13]

Read (Unselected Block)

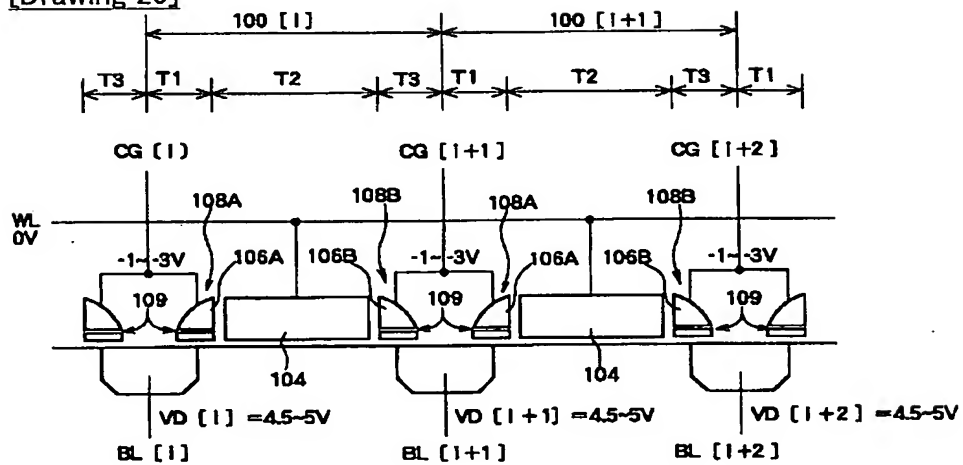


F : Floating

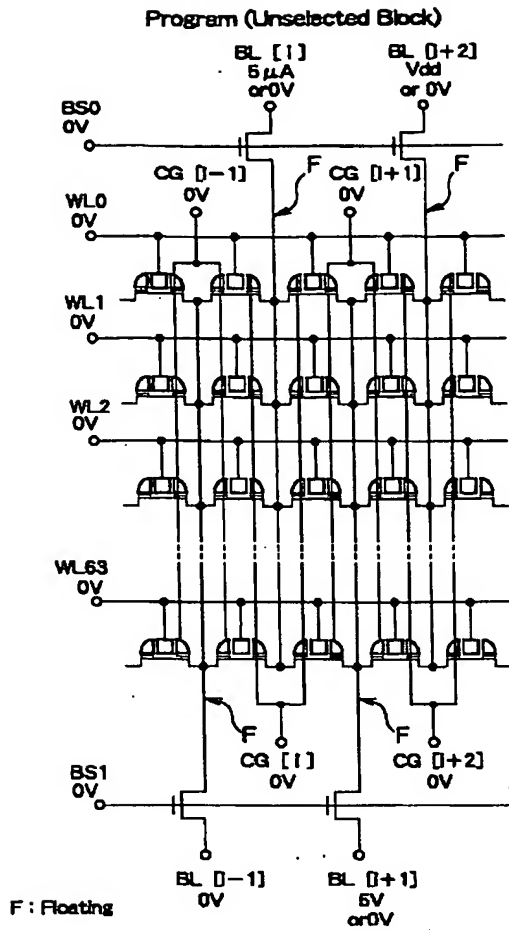
Program (Opposite Block)



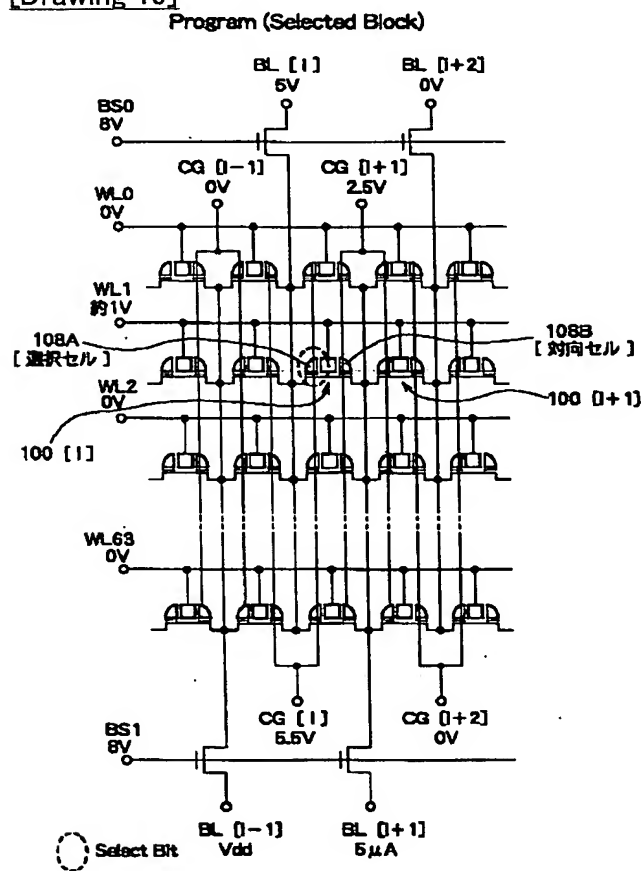
[Drawing 20]



[Drawing 18]

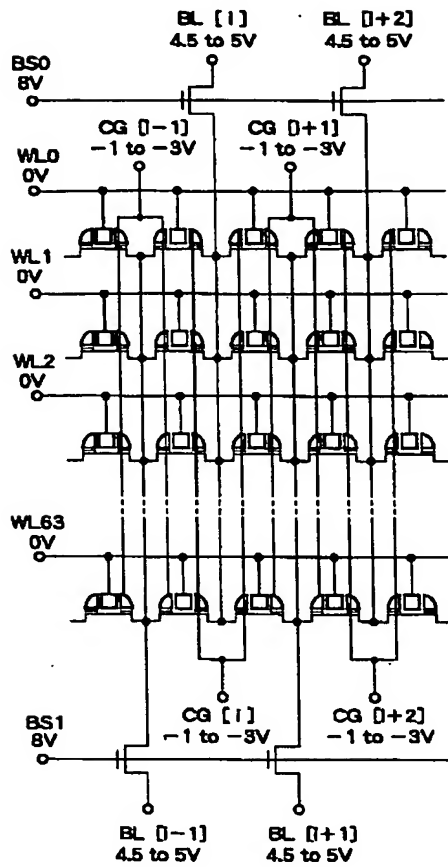


[Drawing 19]



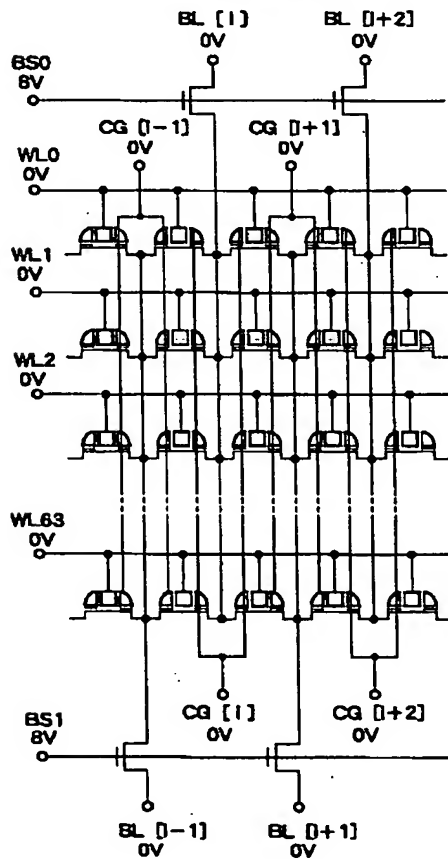
[Drawing 21]

Erase (Selected Block)

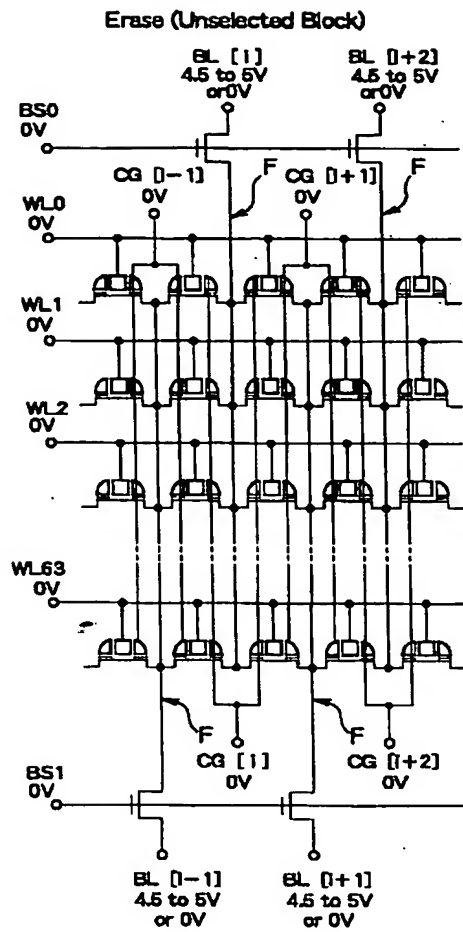


[Drawing 22]

Erase (Opposite Block)



[Drawing 23]



[Translation done.]